

# Laboratori de Tecnologia de Computadors

## Material de laboratori per a les assignatures de la ETSE-UV

- 34654 Tecnologia de Computadors, de primer curs del Grau en Enginyeria Informàtica.
- 34654 Tecnologia de Computadors, de primer curs de la doble titulació Grau en Matemàtiques i Grau en Enginyeria Informàtica.
- 34832 Tecnologia de Computadors, de primer curs del Grau en Enginyeria Multimèdia.

El material correspon a la part experimental de les assignatures: 34654 Tecnologia de Computadors, de primer curs del Grau en Enginyeria Informàtica, també inclosa a la doble titulació Matemàtiques + Enginyeria Informàtica, i 34832 Tecnologia de Computadors, de primer curs del Grau en Enginyeria Multimèdia.

El material està dividit en 8 pràctiques, a desenvolupar en sessions de 2 hores i 30 minuts. Les primeres tres sessions són pràctiques analògiques i les cinc últimes digitals. La primera pràctica serveix com a introducció al laboratori de maquinari. Es veuen els instruments bàsics: oscil·loscopi, font d'alimentació, generador d'ones, plaques de prototips, cables de connexió, resistències, etc. La segona pràctica proposa diversos muntatges amb díodes, transistors BJT i transistors MOSFET, per a provar les seues principals característiques. La tercera pràctica es centra en dispositius fotònics: LEDs, fototransistors i optoacobladors, proposant diversos muntatges que proven la seua utilitat.

La quarta pràctica és la primera de sistemes digitals i l'última en la qual es munten circuits físicament al laboratori. S'han de dissenyar sistemes digitals senzills que s'han de muntar amb xips a les plaques de prototips. Les pràctiques cinc, sis i set, introduïssen la ferramenta de disseny digital Quartus, per a fer dissenys de sistemes combinacionals, el funcionament dels quals es comproven a les targetes DE2, dotades d'una FPGA, LEDs, pantalles, botons, etc. La dificultat dels dissenys proposats s'incrementa gradualment, començant amb dissenys senzills en esquemàtics i acabant amb l'ús de VHDL i dissenys modulars i jeràrquics.

La sessió vuitena, que és l'última, serveix per a introduir els biestables, comptadors i registres d'una manera pràctica. Amb dissenys senzills però cridaners quan s'executen en la targeta DE2.



# Laboratori 1

## Instruments bàsics i circuits elèctrics

14/09/2023

### 1. Introducció

En aquesta sessió de laboratori es desenvolupen les competències necessàries per a fer servir correctament els instruments i els components del laboratori de Tecnologia de Computadors.

Per a fer-ho, abans de la sessió de laboratori es demana als membres de cada parella de laboratori que lligin la documentació sobre l'equipament adjunta com a material addicional a l'Aula Virtual. La lectura prèvia d'aquests documents permet usar l'equipament del laboratori per a analitzar circuits senzills com els vistos a classe, i respondre a les preguntes sobre la funcionalitat i l'ús de l'equipament. També hi ha disponible una sèrie de vídeos curts que mostren el funcionament bàsic dels instruments.

En les sessions de laboratori és important establir una dinàmica de treball en grup que permeti aprofitar al màxim l'estada al laboratori. Perquè això siga possible es requereix puntualitat i que es presteix atenció a les indicacions del professorat. En aquesta primera sessió, això és especialment important perquè es presentaran les normes de funcionament i de seguretat necessàries per a un desenvolupament correcte de les sessions.

### Objectius

En finalitzar aquesta pràctica, l'estudiant ha d'haver assolit les competències següents:

- Fer mesuraments de voltatge, corrent i resistència usant un multímetre.
- Usar una font d'alimentació per a alimentar un circuit elèctric.
- Generar senyals sinusoidals i quadrats, de diferent freqüència, amplitud i òfset usant un generador de funcions.
- Visualitzar i obtenir informació (voltatge, freqüència i període) d'un senyal elèctric.
- Identificar les resistències pel codi de colors.
- Muntar i alimentar circuits de resistències usant una placa de prototips.
- Prendre dades i representar-les en una taula.
- Justificar els mesuraments experimentals en una xarxa de resistències mitjançant la llei d'Ohm.

### Material necessari

En aquesta sessió de laboratori s'usa el material següent:

- Font d'alimentació, generador de funcions, multímetre i oscil·loscopi.
- Placa de prototips, cables amb connectors BNC-BNC i banana-cocodrill, resistències i cables de connexió.



## **Aprenentatge i avaluació del laboratori**

**Pre-lab.** L'aprenentatge i l'avaluació de la pràctica comencen abans d'assistir al laboratori. Així, cada estudiant ha de reunir-se (presencialment o virtualment) amb el/la company/a de grup per a preparar cada sessió. El treball previ a la pràctica consisteix en un conjunt d'activitats que preparen per a obtenir el màxim aprofitament de la sessió de laboratori. Per al treball previ s'ha de completar la tasca corresponent a l'Aula Virtual abans de la fi del termini. Només un membre de la parella ha de penjar la faena a l'Aula Virtual, però el nom dels dos estudiants ha d'aparèixer al document pujat. En el cas de la primera sessió, si encara no s'ha format la parella de laboratori, es pot fer la faena prèvia individualment. Després, en la primera sessió de laboratori es formen les parelles de treball.

**In-lab.** Durant la realització de la pràctica s'avalua el treball desenvolupat per la parella de forma presencial al laboratori. Hi ha diversos apartats, formats per activitats d'aprenentatge, que tenen una puntuació que depèn de la complexitat. A mesura que es va completant cada activitat proposada, l'estudiant ha de sol·licitar al professorat que comprove que ha fet les tasques proposades.

## **2. Treball previ al laboratori – Pre-lab**

Per a poder aprofitar al màxim la sessió de laboratori és molt important que es facen les activitats que es proposen a continuació. Una possibilitat és repartir-se les activitats amb la parella i, després, reunir-se perquè cadascú explique al company/a què ha fet, les claus de la tasca, etc. Cal fer notar que com que els dos membres de la parella han de conèixer tota la faena prèvia, si ha hagut una distribució de les activitats, s'ha de fer aquesta reunió preparatòria en què cada membre de la parella explique a l'altre què ha fet.

En aquest treball previ al laboratori, cada membre de la parella ha de centrar-se a llegir la informació assignada sobre alguns dels instruments que es faran servir al laboratori. Així, cada membre ensenya al company/a com funciona aquest equip al laboratori i després fan la pràctica proposada de forma conjunta. Cal que s'entenguen bé les respostes de l'altre membre de la parella.

Es proposen dos grups o blocs de qüestions sobre els quals cal documentar-se: agrupació A i agrupació B. Cada agrupació inclou dos dispositius. Una possibilitat ja esmentada és que cada membre de la parella responga a les qüestions d'una agrupació diferent, de manera que el treball s'ha de distribuir prèviament. En cap cas ambdós membres no poden fer la mateixa agrupació i totes les preguntes s'han de respondre. A l'Aula Virtual hi ha material sobre els dispositius, però també es pot usar informació externa disponible per Internet. Encara que el treball es divideixca, l'altre membre de la parella també ha d'entendre el funcionament dels dispositius assignats al company/a.

### **2.1. Agrupació A. Oscil·loscopi**

- A.1. Quina és la funcionalitat d'un oscil·loscopi i quins tipus d'oscil·loscopis hi ha?
- A.2. Quina és la utilitat dels botons d'ajustament Time/Div i Volt/Div?
- A.3. Indiqueu la utilitat de l'activador (*trigger*) en l'oscil·loscopi.
- A.4. Quin és l'efecte dels controls de desplaçament horitzontal i vertical?



## 2.2. Agrupació A. Font d'alimentació (FA)

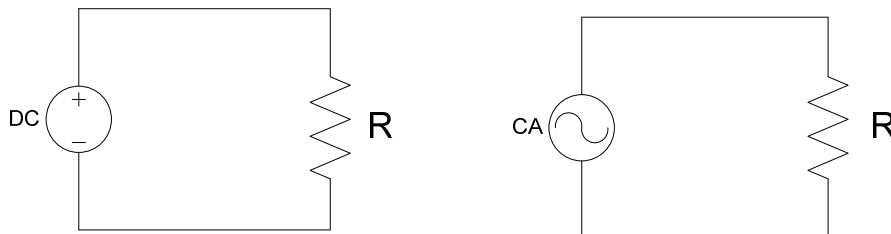
- A.5. Quina és la funcionalitat d'una FA i quins tipus n'hi ha?
- A.6. Quina és la diferència entre una FA doble simètrica i independent?
- A.7. Per a què es fa servir el control d'intensitat?
- A.8. Quin voltatge proporciona una FA quan se selecciona el mode d'alimentació TTL?

## 2.3. Agrupació B. Generador de funcions

- B.1. Quina és la funcionalitat d'un generador de funcions? Quins tipus de generadors hi ha?
- B.2. Descriviu els diversos tipus d'ona que pot generar.
- B.3. Expliqueu en què consisteix l'òfset del senyal generat.
- B.4. En què consisteix una ona arbitrària?

## 2.4. Agrupació B. Multímetre

- B.5. Quina és la funcionalitat del multímetre? Quins tipus n'hi ha?
- B.6. Descriviu, mitjançant un dibuix, com es configuraria i es connectaria un multímetre per a mesurar els circuits de la Il·lustració 1:
  - a) El corrent que passa a través de la resistència R.
  - b) El voltatge als extrems de la resistència R.



*Il·lustració 1. Circuits en què cal mesurar corrent i voltatge.  
Esquerra: font d'alimentació contínua. Dreta: font d'alimentació alterna.*

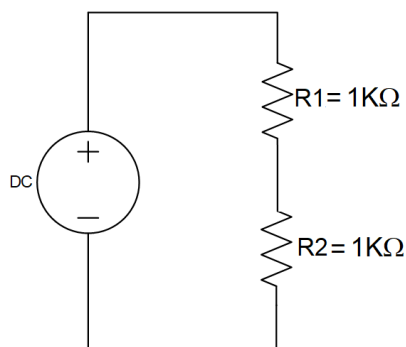
## 3. Treball al laboratori – In-lab

En aquesta sessió de laboratori, l'estudiant s'inicia de forma pràctica en l'ús dels instruments elèctrics del laboratori. Aquests instruments s'usen per a fer mesuraments en circuits molt senzills a fi de comprovar-ne el funcionament.

En l'inici de la sessió s'ha de fer una breu descripció de l'equipament del laboratori (instruments, components, cables, caixa de treball, etc.). A més a més, s'ha d'explicar la manera de treballar al laboratori durant les sessions i, també, les normes de seguretat.

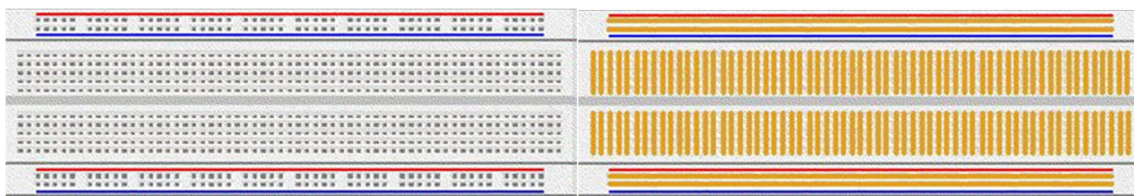


- 3.1. S'ha d'engegar l'FA i ajustar-la a un voltatge d'1 V. A continuació s'ha de muntar en una placa de prototips el circuit de la Il·lustració 2, alimentat per l'FA:



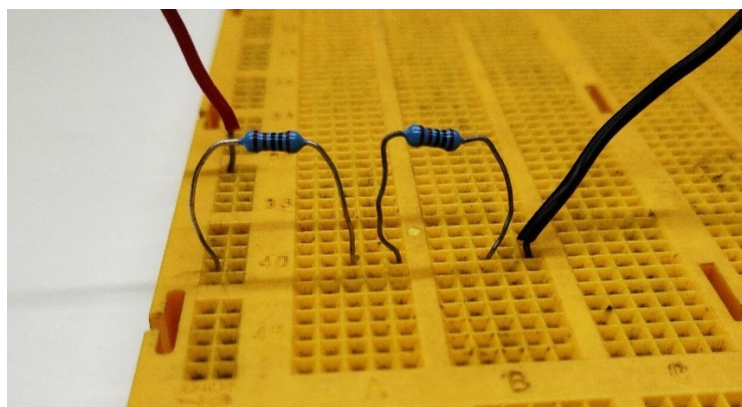
Il·lustració 2. Divisor de tensió.

En la placa de prototips, els forats estan connectats internament a les bandes de cinc pins verticals, mentre que les línies superiors i inferiors estan connectades horitzontalment. En la Il·lustració 3 es mostra l'aspecte d'una targeta de prototips (esquerra) i l'entramat de connexions intern (dreta).



Il·lustració 3. Esquerra: vista superior de la targeta de prototips. Dreta: entramat de connexions intern.<sup>1</sup>

És bona idea usar aquest entramat de connexions per a muntar el circuit amb resistències proposat. La Il·lustració 4 mostra un possible muntatge d'aquest divisor de tensió. El cable roig i negre subministren alimentació i terra, respectivament.



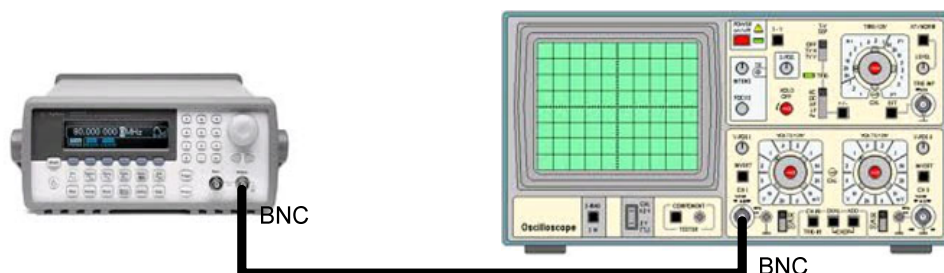
Il·lustració 4. Possible muntatge del circuit amb resistències.

<sup>1</sup> Imatges: <<https://www.analog.com/en/analog-dialogue/studentzone/studentzone-november-2016.html>>



La resistència es pot seleccionar mitjançant el codi de colors que s'indica a la Taula 1 d'aquest document. També és bona idea comprovar la correcció del valor seleccionat amb el mesurament de la resistència mitjançant el multímetre.

- 3.2. Una vegada fet el muntatge anterior, s'ha de mesurar la caiguda de tensió en cada resistència mitjançant el multímetre per a cinc valors de voltatge de l'FA entre 1 V i 10 V. Per exemple: 2, 4, 6, 8 i 10 V. Aquests mesuraments s'han d'anotar en una taula. Cal ensenyar el circuit i la taula al professor/a.
- 3.3. S'ha d'engegar el generador de funcions i l'oscil·loscopi. L'eixida del generador s'ha de connectar directament al canal 1 (CH1) de l'oscil·loscopi usant un cable BNC-BNC tal com s'indica en la Il·lustració 5.

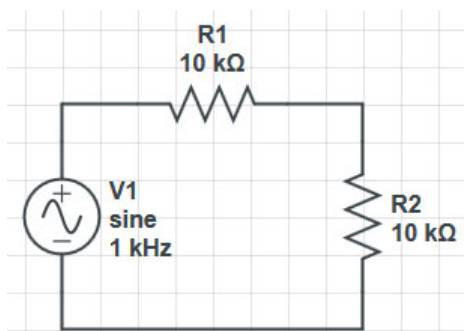


Il·lustració 5. Connexió directa entre el generador de funcions i l'oscil·loscopi.

És important assegurar-se que l'eixida està habilitada en el generador de funcions prement el botó Channel > Output > On. Així mateix, la càrrega a l'eixida ha de deixar-se en alta impedància, no en 50  $\Omega$ , com va per defecte. Per a fer-ho cal seleccionar en el generador l'opció Channel > Output Load > High Impedance.

També s'han de canviar els tipus de senyals activats pel generador (sinusoidal, quadrat i triangular) i la freqüència, l'amplitud i l'òfset d'aquests senyals, com també comprovar que el comportament del generador és el previst. Per a fer-ho cal comprovar que la diferència de tensió de pic a pic ( $V_{pp}$ ) i la freqüència mesurada a l'oscil·loscopi, usant l'escala indicada per Time/div i Volt/div, coincideix amb la fixada pel generador. S'ha de mostrar aquest funcionament al professorat, que pot sol·licitar que es configure el generador d'una manera concreta i que se'n comprove el funcionament amb l'oscil·loscopi.

- 3.4. El generador s'ha de connectar amb un parell de resistències de  $R=10\text{ k}\Omega$  (utilitzant la placa de prototips) segons s'indica en la Il·lustració 6:



Il·lustració 6. Divisor de tensió amb generador d'ones.



S'ha d'ajustar el generador de funcions perquè cree un senyal sinusoidal d'1 kHz, amb una tensió màxima o de pic de  $V_{MàX} = 2 \text{ V}$  i òfset = 0 V. Mitjançant l'oscil·loscopi s'ha de mesurar el voltatge als extrems de R2 i cal comprovar que sí que es compleixen els requisits del generador de funcions. S'han d'anotar els valors de tensió màxima i mínima obtinguts.

- 3.5. En el muntatge anterior s'ha de fer cada vegada només una de les modificacions següents, mantenint els altres valors segons la configuració de referència, i s'han de prendre les dades de tensió indicades abans:
- La tensió màxima s'ha de canviar de 2 a 4 volts.
  - La freqüència s'ha de modificar d'1 kHz a 30 MHz. Què passa a aquesta freqüència?
  - L'òfset s'ha de canviar de 0 V a 1 V.
  - S'ha de seleccionar una ona quadrada.

En finalitzar la sessió de laboratori, tot el material s'ha de deixar a lloc i els equips apagats. Això és important perquè la sessió següent es realitzi amb normalitat i l'alumnat de la sessió següent no perdi temps buscant material. També és important que els equips es deixin apagats, per seguretat i per a reduir el consum d'energia.

Taula 1. Codi de colors de les resistències.

| Color de la banda |  | Valor de la 1a xifra significativa | Valor de la 2a xifra significativa | Multiplicador | Tolerància | Coefficient de temperatura (ppm/°C) |
|-------------------|--|------------------------------------|------------------------------------|---------------|------------|-------------------------------------|
| Negre             |  | –                                  | 0                                  | 1             | –          | –                                   |
| Marró             |  | 1                                  | 1                                  | 10            | ±1%        | 1000                                |
| Roig              |  | 2                                  | 2                                  | 100           | ±2%        | 50                                  |
| Taronja           |  | 3                                  | 3                                  | 1.000         | ±3%        | 15                                  |
| Groc              |  | 4                                  | 4                                  | 10.000        | ±4%        | 25                                  |
| Verd              |  | 5                                  | 5                                  | 100.000       | ±0,5%      | –                                   |
| Blau              |  | 6                                  | 6                                  | 1.000.000     | ±0,25%     | 10                                  |
| Violeta           |  | 7                                  | 7                                  | $\times 10^7$ | ±0,1%      | 5                                   |
| Gris              |  | 8                                  | 8                                  | $\times 10^8$ | ±0,05%     | –                                   |
| Blanc             |  | 9                                  | 9                                  | $\times 10^9$ | –          | 1                                   |
| Daurat            |  | –                                  | –                                  | 0,1           | ±5%        | –                                   |
| Platejat          |  | –                                  | –                                  | 0,01          | ±10%       | –                                   |
| Cap               |  | –                                  | –                                  | –             | ±20%       | –                                   |



# Laboratori 2

## Electrònica i fotònica I

14/09/2023

### 1. Introducció

En aquesta sessió de laboratori es desenvolupen les competències necessàries per a l'anàlisi i el disseny de circuits electrònics senzills formats per resistències, díodes i transistors.

#### Objectius

L'estudiant, en finalitzar aquesta pràctica, ha de ser capaç de:

- Analitzar i dissenyar circuits amb díodes: polarització, rectificació de mitja ona i ona completa (pont de díodes).
- Analitzar i dissenyar un amplificador inversor (emissor comú) usant un transistor BJT (BC107).
- Analitzar i dissenyar circuits amb transistors MOSFET (2N700) en funcionament digital (saturació i tall). Construcció de les portes NOT, NAND i NOR.

#### Material necessari

En aquesta sessió de laboratori s'usa el material següent:

- Font d'alimentació, generador de funcions, multímetre i oscil·loscopi.
- Placa de prototips, cables amb connectors BNC-BNC/BNC-cocodrill, resistències, cables de connexió, díodes (1N4001), transistor BJT (BC107) i transistors MOSFET (2N700).

#### Avaluació del laboratori

**Pre-lab.** Per al treball previ s'ha de completar la tasca corresponent a l'Aula Virtual abans del final del termini.

**In-lab.** Quan l'estudiant acaba l'activitat proposada, ha de cridar el professorat perquè comprovi que les tasques s'han completat. A continuació, el professorat assigna la puntuació corresponent a l'activitat que s'haja fet segons el grau d'exactitud i les respostes que el grup done a les preguntes del professorat.

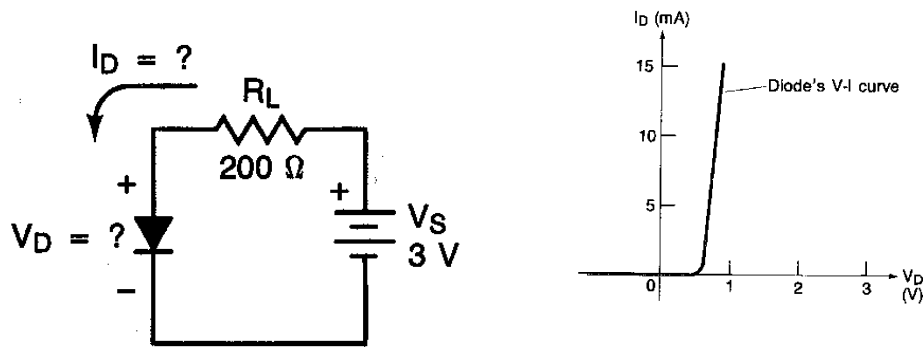
### 2. Treball previ al laboratori – Pre-lab

Es proposen tres agrupacions de preguntes: A, B i C. Entre els dos membres de la parella han de fer l'agrupació A. Després, la parella ha de quedar d'acord perquè cada membre complete una de les altres agrupacions. No ha de quedar cap pregunta per contestar.

#### 2.1. Agrupació A. Díode



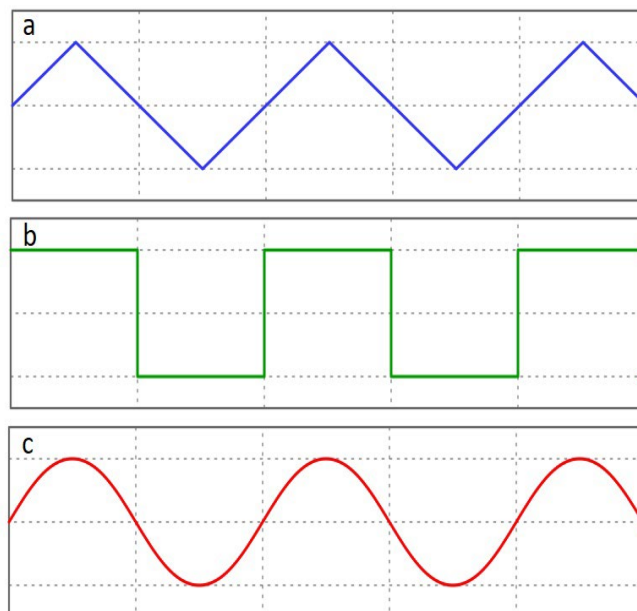
Donats el circuit i la corba característica del díode que es mostren en la il·lustració 1:



Il·lustració 1. Esquerra: circuit amb díode. Dreta: corba característica del díode.

- A.1. S'ha d'obtenir de forma gràfica el corrent que circula pel díode del circuit de la il·lustració 1 i també la tensió que hi ha entre els terminals.
- A.2. S'ha de calcular quin és el corrent que circula pel díode si s'assumeix la simplificació que  $V_D = 0,6 \text{ V}$ .
- A.3. S'ha de suposar que se substitueix la pila de  $3 \text{ V}$  per un senyal altern amb diferents formes, com indica la il·lustració 2 —a) triangular, b) quadrada i c) sinusoidal— amb una  $V_{pp} = 6 \text{ V}$  i un òfset de  $0 \text{ V}$ . Amb aquest supòsits s'ha d'indicar com seria la forma de la caiguda de tensió als extrems de la resistència  $R_L$ .

Nota: se suposa que el comportament del díode segueix la simplificació de l'apartat anterior.



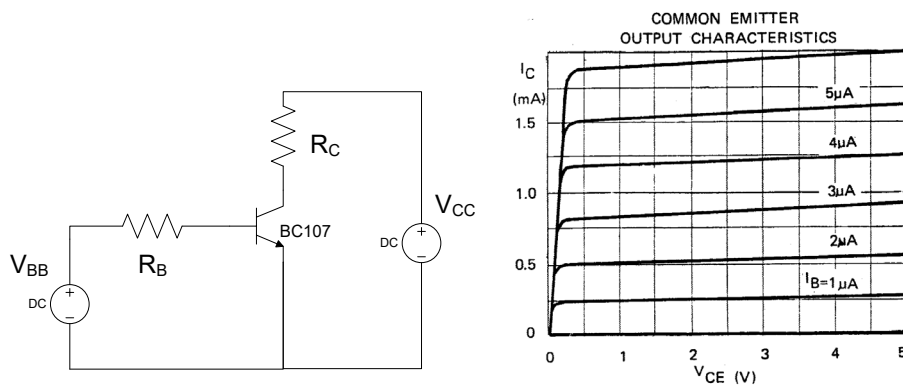
Il·lustració 2. Formes d'ona: a) triangular, b) quadrada i c) sinusoidal.

## 2.2. Agrupació B. Transistor BJT



Donats el circuit i la corba característica del transistor BC107 que es mostren a la il·lustració 3:

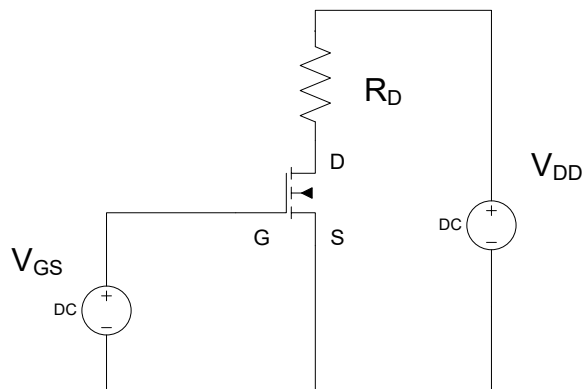
- B.1. Suposant que  $V_{CC} = V_{BB} = 5\text{ V}$ , s'ha de dibuixar quina seria la recta de càrrega d'aquest circuit si la resistència  $R_C = 3,3\text{ k}\Omega$ .
- B.2. S'ha de calcular el valor de  $R_B$  perquè el punt d'operació estiga situat en  $V_{CE} = 3\text{ V}$ . S'ha de marcar aquest punt a la gràfica de la corba característica del transistor.
- B.3. S'ha d'indicar, a partir de la corba característica del transistor, el rang de valors de beta per al transistor BC107.



Il·lustració 3. Esquerra: circuit amb transistor. Dreta: corba característica del transistor BC107.

### 2.3. Agrupació C. Transistor MOSFET

El circuit de la il·lustració 4 representa una configuració amb sortidor comú basat en un transistor nMOS d'enriquiment:

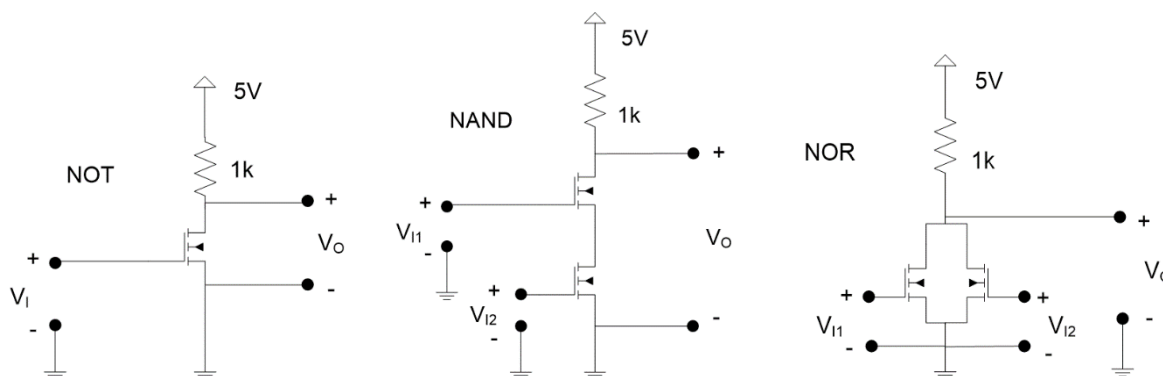


Il·lustració 4. Transistor nMOS d'enriquiment amb sortidor comú.

- C.1. S'ha d'indicar, a partir de l'esquema, l'equació que determina el corrent  $I_{DS}$  que travessa el transistor en els casos següents:
  - a)  $V_{GS} < V_T$  (tall)
  - b)  $V_{GS} > V_T$  i  $V_{DS} > V_{GS} - V_T$  (saturació)
  - c)  $V_{GS} > V_T$  i  $V_{DS} \leq V_{GS} - V_T$  (conducció)



- C.2. A partir de les expressions anteriors, s'ha de dibuixar una gràfica aproximada  $V_{DS}$ - $V_{GS}$  que mostre el comportament de  $V_{DS}$  en variar el valor de  $V_{GS}$  entre 0 V i  $V_{DD}$ .
- C.3. Usant el model de commutador del transistor MOSFET, s'ha d'analitzar el comportament dels circuits de la il·lustració 5 i obtenir el valor de  $V_O$ . Considerem només que les tensions  $V_I$  poden ser més petites o més grans que  $V_T$ .



Il·lustració 5. Circuits amb transistors nMOS en commutació.

Els resultats s'han de presentar en les taules 1, 2 i 3.

| Taula 1. Porta NOT |       |
|--------------------|-------|
| $V_I$              | $V_O$ |
| $V_I < V_T$        |       |
| $V_I > V_T$        |       |

| Taula 2. Porta AND |             |       |
|--------------------|-------------|-------|
| $V_{I1}$           | $V_{I2}$    | $V_O$ |
| $V_I < V_T$        | $V_I < V_T$ |       |
| $V_I < V_T$        | $V_I > V_T$ |       |
| $V_I > V_T$        | $V_I < V_T$ |       |
| $V_I > V_T$        | $V_I > V_T$ |       |

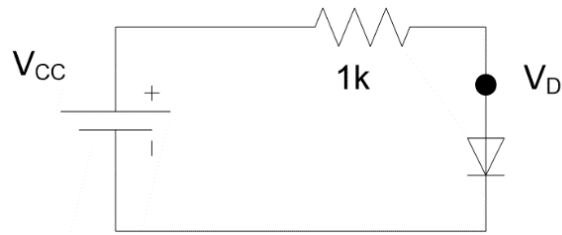
| Taula 3. Porta NOR |             |       |
|--------------------|-------------|-------|
| $V_{I1}$           | $V_{I2}$    | $V_O$ |
| $V_I < V_T$        | $V_I < V_T$ |       |
| $V_I < V_T$        | $V_I > V_T$ |       |
| $V_I > V_T$        | $V_I < V_T$ |       |
| $V_I > V_T$        | $V_I > V_T$ |       |

### 3. Treball al laboratori – In-lab

En aquesta pràctica de laboratori es treballen de forma pràctica les anàlisis que s'han fet en el treball previ usant díodes, transistors BJT i transistors MOSFET.

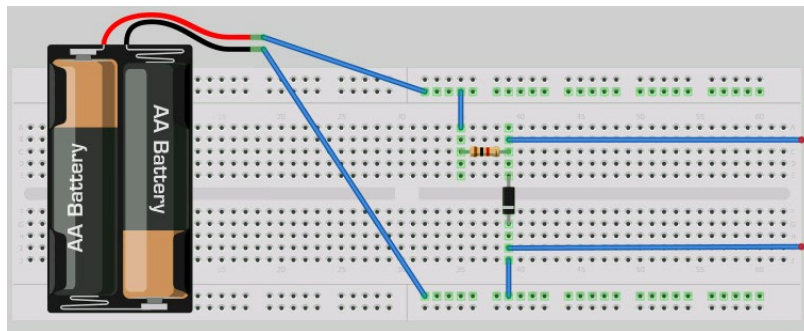
A continuació es descriuen les activitats que han de fer els equips al laboratori.

- 3.1. S'ha d'engegar la font d'alimentació i ajustar-la a un voltatge de 0 V. S'ha de corroborar aquest valor amb el multímetre. A continuació s'ha de muntar en una placa de prototips el circuit que es mostra en la il·lustració 6. S'ha de tenir en compte que el díode és l'1N4001/1N4007.



Il·lustració 6. Circuit esquemàtic amb díode.

Una possible implementació sobre la placa de prototips és la que mostra la il·lustració 7. La font d'alimentació s'ha substituït per bateries. Aquest muntatge s'ha fet amb el programari Fritzing, que està disponible a Internet i que és útil per a preparar muntatges de circuits. Podem seleccionar la resistència ajudant-nos del codi de colors que s'indica en la taula de la primera pràctica, però sempre cal comprovar-la mitjançant el multímetre a fi de corroborar que el valor és correcte.



Il·lustració 7. Possible implementació del muntatge amb el díode a la placa de prototips.

- 3.2. Amb el muntatge anterior, s'ha d'incrementar el voltatge de la font d'alimentació amb els valors que s'indiquen en la taula següent. S'ha de mesurar el voltatge ( $V_D$ ) als extrems del díode mitjançant el multímetre i anotar-los a la taula 4.

| $V_{CC}$ (V) | $V_D$ (V) |
|--------------|-----------|
| 0            |           |
| 0,2          |           |
| 0,6          |           |
| 0,8          |           |
| 1            |           |
| 3            |           |
| 5            |           |

Taula 4. Mesuraments de tensions al díode.

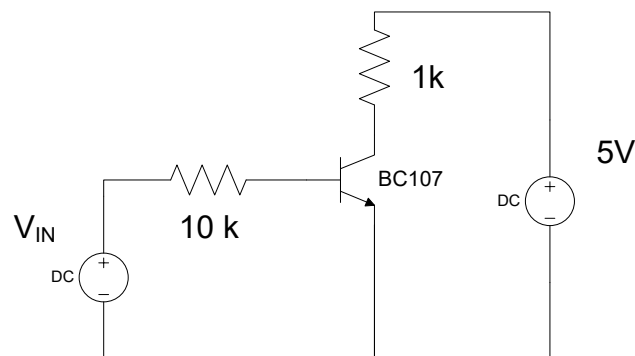
- 3.3. En l'esquema anterior s'ha de substituir la font d'alimentació pel generador de funcions, amb un senyal sinusoidal que tinga una tensió màxima o pic de  $V_{MAX}=0$  V, un offset = 0 V i una freqüència de 100 Hz. Usant l'oscil·loscopi, s'ha de visualitzar la diferència de tensió als extrems de la resistència. Finalment, s'ha de



dibuixar la forma que pren el senyal i anotar el valor del voltatge màxim a què arriba.

- 3.4. Per al muntatge següent es necessiten dues fonts d'alimentació. Si al banc de treball n'hi ha una de doble, s'ha de configurar com si foren dues fonts independents. Si no n'hi ha cap de doble, han d'haver-n'hi dues d'individuals. Una de les fonts s'ha d'ajustar a un voltatge de 5 V i l'altra a 0 V ( $V_{IN}$ ). Les dues fonts s'han de comprovar amb el multímetre. Finalment, s'ha de muntar en una placa de prototips el circuit de la il·lustració 8, basat en un transistor BJT BC107.

En el muntatge,  $R_B = 10 \text{ k}\Omega$  i  $R_C = 1 \text{ k}\Omega$



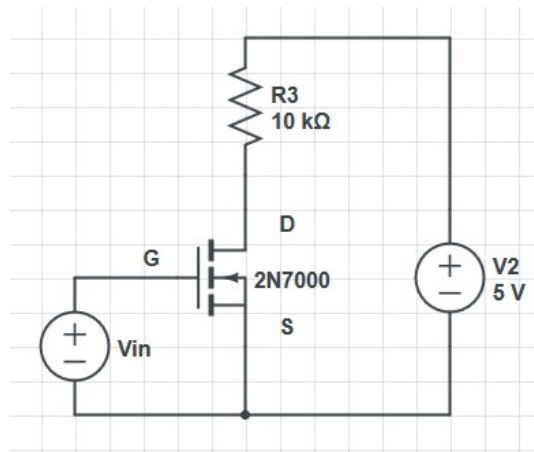
Il·lustració 8. Circuit amb un transistor BJT i dues fonts d'alimentació.

S'ha d'incrementar la tensió  $V_{IN}$  amb els valors que s'indiquen en la taula següent. S'ha de mesurar la caiguda de tensió a la resistència de base  $V_{RB}$  i la tensió  $V_{CE}$ . Els dos valors s'han d'anotar a la taula 5:

| $V_{IN}$ (V) | $V_{RB}$ (V) | $V_{CE}$ (V) |
|--------------|--------------|--------------|
| 0            |              |              |
| 0,2          |              |              |
| 0,6          |              |              |
| 0,8          |              |              |
| 1            |              |              |
| 3            |              |              |
| 5            |              |              |

Taula 5. Mesurament de la caiguda de tensió en les resistències del muntatge del transistor de la il·lustració 8.

- 3.5. S'ha de construir en una placa de prototips el circuit que es mostra a la il·lustració 9. De nou, s'han d'usar dues fonts d'alimentació.



Il·lustració 9. Circuit amb transistor nMOS i dues fonts d'alimentació.

Igual que s'ha fet en l'experiment anterior, ara també s'ha d'incrementar la tensió  $V_{IN}$  amb els valors que s'indiquen a la taula següent. S'ha de mesurar la tensió  $V_{DS}$  i s'ha d'emplenar la taula 6:

| $V_{IN} = V_{GS} \text{ (V)}$ | $V_{DS} \text{ (V)}$ |
|-------------------------------|----------------------|
| 0                             |                      |
| 1,0                           |                      |
| 1,8                           |                      |
| 2,0                           |                      |
| 2,2                           |                      |
| 2,5                           |                      |
| 3,5                           |                      |
| 5                             |                      |

Taula 6. Mesurament en el muntatge de la il·lustració 9.

- 3.6. A partir de l'esquema de la il·lustració 9 es proposa muntar una porta NAND com la vista en l'activitat prèvia al laboratori i mesurar els valors de l'eixida per a totes les combinacions possibles dels valors d'entrada ( $V_{IN}$ ), considerant que aquestes combinacions només prenen els valors de 0 V i 5 V. S'ha de comprovar que la porta funciona de forma correcta.

En acabar la sessió de laboratori cal apagar els equips i deixar a lloc tot el material.



# Laboratori 3

## Electrònica i fotònica II

14/09/2023

### 1. Introducció

En aquesta sessió de laboratori, en què es desenvolupen les competències necessàries per a l'anàlisi i el disseny de circuits electrònics senzills, s'usen dispositius fotònics com ara díodes emissors de llum (LED segons les sigles angleses), fototransistors i optoacobladors. També es continuen treballant les tècniques bàsiques per a la presa de dades i la representació en una taula o gràfica.

### Objectius

En finalitzar aquesta pràctica, l'estudiant ha de ser capaç de:

- Analitzar i dissenyar circuits de visualització usant díodes LED.
- Analitzar i dissenyar circuits que usen fotodíodes.
- Dissenyar circuits desacoblats elèctricament mitjançant optoacobladors (4N35).

### Material necessari

En aquesta sessió de laboratori s'empra el material següent:

- Font d'alimentació, generador de funcions, multímetre i oscil·loscopi.
- Placa de prototips, cables amb connectors BNC-BNC/BNC-cocodril, resistències, cables de connexió, díodes LED (rojos, verds i blancs), fototransistor (BPW85) i optoacobladors (4N35).

### Avaluació del laboratori

**Pre-lab.** Per al treball previ s'ha de completar la tasca corresponent a l'Aula Virtual abans de la fi del termini.

**In-lab.** A mesura que es vaja acabant cada activitat proposada, l'estudiant sol·licita l'atenció del professorat perquè comprove que les tasques s'han completat. A continuació, el professorat assigna la puntuació corresponent a l'activitat que s'haja completat segons el grau d'exactitud i les respostes a les preguntes del professorat.

### 2. Treball previ al laboratori – Pre-lab

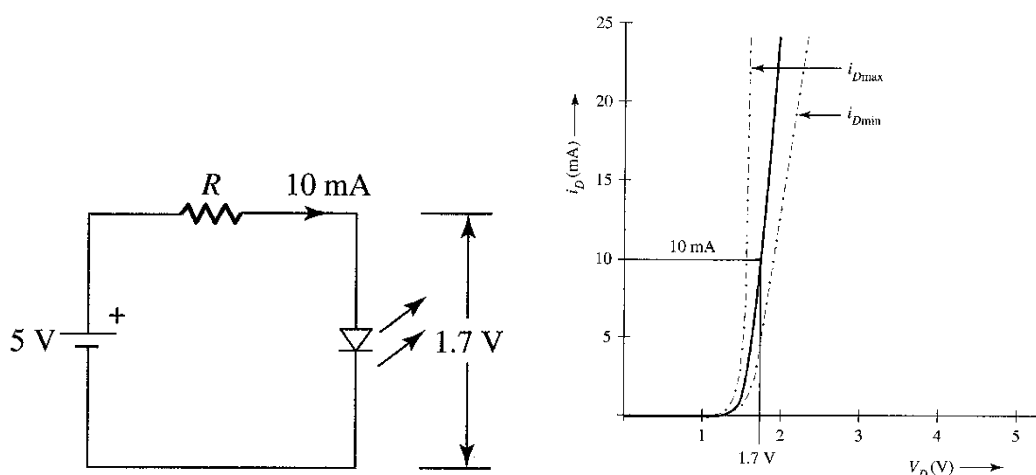
Per a poder aprofitar al màxim la sessió de laboratori és molt important que es facen les activitats que es proposen a continuació. Una possibilitat és repartir-se les activitats amb la parella i, després, reunir-se perquè cadascú expliqui al company/a què ha fet. Cal fer notar que els dos membres de la parella han de conèixer tota la faena prèvia, per la qual cosa, si s'han distribuït la faena, han de fer aquesta reunió preparatòria perquè cada estudiant expliqui a l'altre què ha fet.



Es proposen tres agrupacions de preguntes: A, B i C. Entre els dos membres de la parella s'ha de fer l'agrupació A. Després, la parella ha d'acordar quin membre completa cadascuna de les altres agrupacions. No ha de quedar cap pregunta per contestar.

### 2.1. Agrupació A. Díode LED

A partir de l'observació del circuit amb LED que es mostra en la Il·lustració 1 i de la corba que caracteritza el mateix LED, compleu les tasques següents:

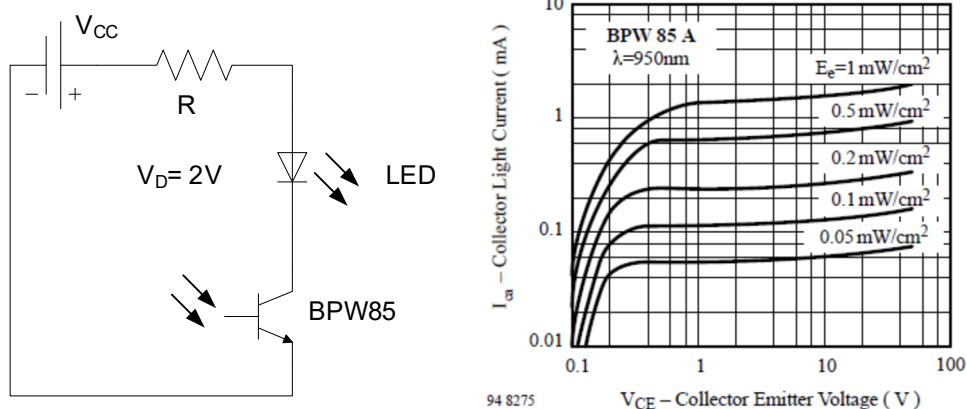


Il·lustració 1. Esquerra: circuit amb LED. Dreta: corba característica del mateix LED.

- A.1. S'ha de calcular quin seria el valor de la resistència  $R$  per a la configuració indicada al circuit tenint en compte la gràfica de la corba característica del LED.
- A.2. S'ha d'obtenir el corrent màxim i mínim que travessa el circuit quan s'usa una resistència amb una tolerància del 10%.
- A.3. S'ha de calcular de forma aproximada la resistència interna del díode LED ( $r_D$ ) en la zona activa.

### 2.2. Agrupació B. Fototransistor

Donats el circuit i la corba característica del fototransistor BPW85 que es mostren en la Il·lustració 2:



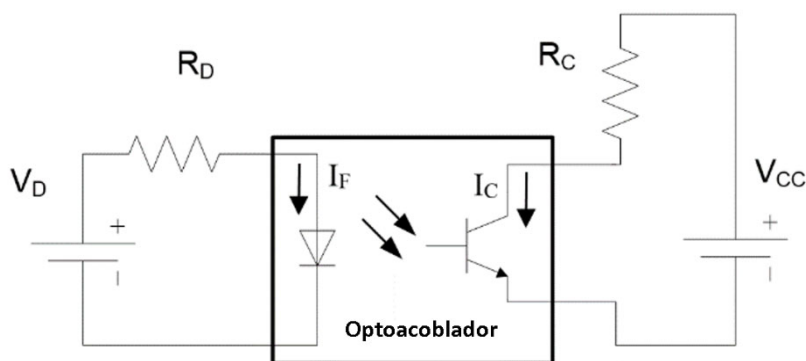
Il·lustració 2. Esquerra: circuit amb fototransistor BPW85. Dreta: corba característica d'aquest fototransistor.



- B.1. A partir del circuit de la figura s'ha d'obtenir la fórmula de la intensitat que circula pel circuit:
- Quan el fototransistor està tallat.
  - Quan el fototransistor està saturat.
- B.2. A partir de la gràfica, cal indicar quin seria el marge de variació aproximat de la  $\beta$  del fototransistor que relaciona la intensitat de col·lector i la il·luminació a la base  $E_e$ , és a dir,  $\beta = I_{col·lector}/E_e$ .
- B.3. Si perquè s'il·lumine el díode LED quan el fototransistor està saturat ha de passar-hi una intensitat d'1 mA, cal indicar, en funció de  $V_{CC}$ , quin seria el valor mínim o màxim que hauria de tenir  $R$  perquè això passe.
- B.4. S'ha de calcular el valor de  $R$  perquè, amb un valor de  $V_{CC} = 10\text{ V}$ , el punt d'operació del fototransistor estiga situat en  $V_{CE} = 1\text{ V}$ , i la potència lluminosa siga de  $0,5\text{ mW/cm}^2$ . S'ha de marcar el punt d'operació en la gràfica de la corba característica del transistor.

### 2.3. Agrupació C. Optoacoblador

Donat el circuit de la Il·lustració 3 que representa un circuit d'ús general d'un optoacoblador:

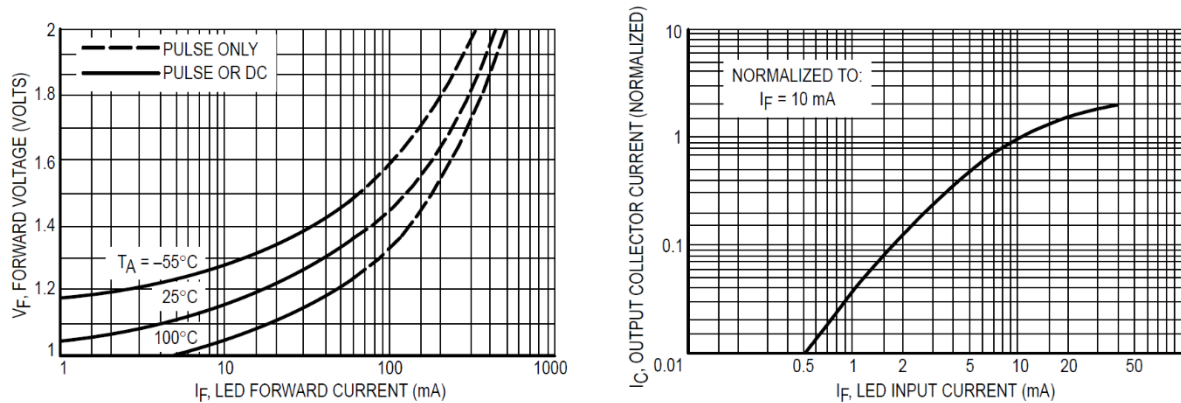


Il·lustració 3. Circuit amb optoacoblador 4N35.

- C.1. S'han de descriure les equacions que relacionen la tensió  $V_D$  i la tensió en el col·lector del transistor en aquest circuit.
- C.2. A partir de les expressions anteriors i suposant que  $V_{CC} = 10\text{ V}$ ,  $V_D = 5\text{ V}$ , s'han de proposar uns valors de  $R_D$  i  $R_C$  de manera que el transistor de l'optoacoblador estiga saturat ( $V_{CE} \approx 0\text{ V}$ ) i la potència dissipada per  $R_C$  no supere  $10\text{ mW}$ . Per a fer aquests càlculs cal usar dues gràfiques del full de característiques del 4N35 que s'adjunten a la Il·lustració 4. Mètode suggerit:
- Com que  $V_{CC}$  i  $V_{CE}$  en saturació són dades conegudes, de primer es calcula  $I_C$ . Això determina el valor de  $R_C$ .
  - Després, a partir de la gràfica de la dreta de la Il·lustració 4 que relaciona el corrent en el col·lector  $I_C$  (en l'eix  $Y$ ) amb el corrent que travessa el LED  $I_F$  (en l'eix  $X$ ), s'obté el corrent que travessa el LED.



3. Una vegada tenim el valor d'aquest corrent, podem determinar la caiguda de tensió al díode  $V_F$  mitjançant la gràfica de l'esquerra de la Il·lustració 4, suposant una temperatura de  $25^\circ\text{C}$ . Amb aquesta última dada ja podem calcular  $R_D$ .

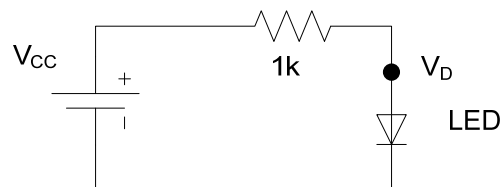


Il·lustració 4. Gràfiques característiques de l'optocobrador 4N35. Esquerra: tensió del LED en funció del corrent. Dreta: corrent d'eixida del col·lector en funció del corrent del LED.

### 3. Treball al laboratori – *In-lab*

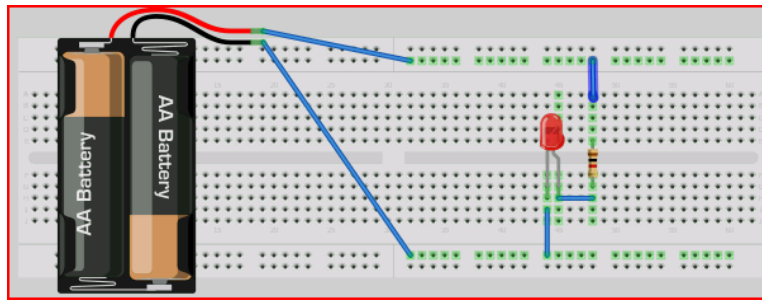
En aquesta sessió de laboratori, en què es treballen de forma pràctica els conceptes tractats en el treball previ, s'usen díodes LED, fototransistors i optocobradors. A continuació es descriuen les activitats que els equips han de fer:

- 3.1. S'ha d'engegar la font d'alimentació i ajustar-la a un voltatge de 0 V. És convenient comprovar amb el multímetre la correcció d'aquesta tensió. A continuació s'ha de muntar en una placa de prototips el circuit de la Il·lustració 5, alimentat per la font d'alimentació. S'ha de fer servir un LED vermell:



Il·lustració 5. Circuit amb un LED.

Una possible implementació sobre la placa de prototips és la que es mostra a la Il·lustració 6 (en què la font d'alimentació s'ha substituït per bateries):



Il·lustració 6. Implementació sobre la placa de prototips del circuit amb un LED.

- 3.2. Una vegada muntat el circuit, s'ha d'incrementar el voltatge de la font d'alimentació entre 0 V i 5 V per a trobar en quin punt aproximadament es produeix el canvi d'il·luminació. Una vegada determinat aquest punt, es proposa fer tres mesuraments molt pròxims en aquesta zona (per exemple, separats 0,2 V), dos mesuraments més escalats linealment cap avall fins a arribar a 0 V i dos mesuraments més escalats cap amunt fins a arribar a 5 V. Per exemple, si es nota que el canvi d'il·luminació al LED es produeix als 1,4 V, els tres mesuraments centrals poden ser 1,2 V, 1,4 V i 1,6 V. Els altres mesuraments poden ser 0 V i 0,6 V per baix i 3,3 V i 5 V per dalt. Per descomptat, si la transició es produeix en un altre punt, cal canviar aquests valors seguint el mateix mètode. S'ha de mesurar amb el multímetre el voltatge ( $V_D$ ) als extrems del díode i anotar-los a la Taula 1.

| $V_{CC}$ (V) | $V_D$ (V) |
|--------------|-----------|
|              |           |
|              |           |
|              |           |
|              |           |
|              |           |
|              |           |
|              |           |

Taula 1. Mesuraments corresponents al circuit de la Il·lustració 5.

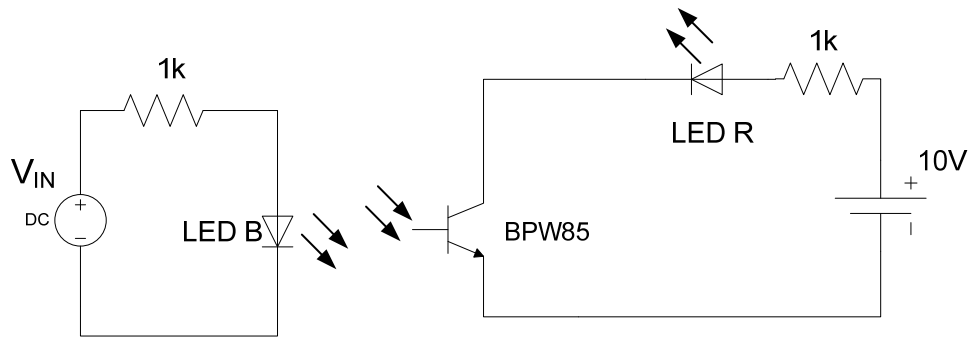
- 3.3. En l'esquema de la Il·lustració 5 s'ha de substituir la font d'alimentació pel generador de funcions, amb un senyal quadrat que tinga  $V_{MIN} = 0$  V,  $V_{MAX} = 5$  V i freqüència d'1 Hz. Usant l'oscil·loscopi s'ha de visualitzar el voltatge als extrems de la resistència. Posteriorment s'ha d'incrementar la freqüència del senyal seguint la Taula 2 adjunta i anotar el comportament del LED. Es proposa, a més a més, que s'explique el perquè d'aquest comportament.

| Freqüència | Comentaris sobre el comportament del LED:<br>parpelleig, encesa, apagada... |
|------------|-----------------------------------------------------------------------------|
| 1 Hz       |                                                                             |
| 30 Hz      |                                                                             |
| 1 KHz      |                                                                             |
| 100 KHz    |                                                                             |
| 40 MHz     |                                                                             |

Taula 2. Comentaris corresponents al muntatge de la Il·lustració 5 amb un generador de freqüència.



- 3.4. S'ha d'engegar la font d'alimentació, en el cas que siga doble, configurada com dues fonts independents. Una de les eixides s'ha d'ajustar a un voltatge de 10 V, i l'altra a 0 V ( $V_{IN}$ ). S'han de comprovar les dues tensions amb el multímetre. A continuació s'ha de muntar en una placa de prototips el circuit que es mostra a la Il·lustració 7, amb dos LED: LED R (roig) i LED B (blanc), més un fototransistor BPW85, i alimentat per la font d'alimentació. Cal tenir en compte que l'emissor és el terminal més llarg del fototransistor.



Il·lustració 7. Circuit amb un LED i el fototransistor BPW85.

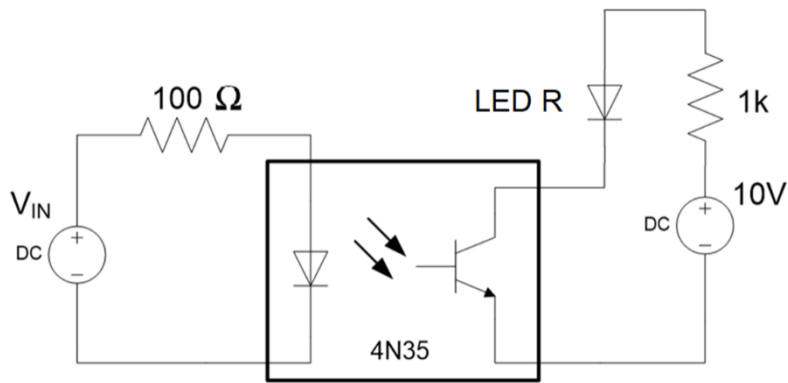
Nota: s'ha de forçar que el LED (blanc) estiga enfocant directament el fototransistor.

De nou cal seguir el mètode explicat al punt 3.2 per a determinar en quins punts de  $V_{IN}$  s'ha de mesurar. S'ha d'incrementar el voltatge de la font d'alimentació entre 0 V i 5 V per a trobar en quin punt aproximadament es produeix el canvi d'il·luminació al LED roig. Una vegada determinat aquest punt, es proposa fer tres mesuraments molt pròxims a aquesta zona (separats 0,2 V), dos mesuraments escalats linealment cap avall fins a arribar a 0 V i dos mesuraments escalats cap amunt fins a arribar a 5 V. Per a cada punt triat, cal mesurar amb el multímetre la tensió als extrems de les resistències d'1 k $\Omega$  del circuit excitador (esquerra) i de l'excitat (dreta). S'han d'anotar en la Taula 3 els valors obtinguts per a cada voltatge.

| $V_{IN}$ (V) | $\Delta V_R$ LED B | $\Delta V_R$ LED R |
|--------------|--------------------|--------------------|
|              |                    |                    |
|              |                    |                    |
|              |                    |                    |
|              |                    |                    |
|              |                    |                    |
|              |                    |                    |
|              |                    |                    |

Taula 3. Mesuraments corresponents a l'experiment de la Il·lustració 7.

- 3.5. Es proposa construir en una placa de prototips el circuit de la Il·lustració 8, que usa un optoacoblador i on el LED R és un LED roig xicotet:



Il·lustració 8. Muntatge amb l'optoacoblador 4N35.

A continuació s'ha d'emplenar la Taula 4, igual que en el cas anterior, incrementant la tensió  $V_{IN}$  i mesurant, mitjançant el multímetre o l'oscil·loscopi, la tensió als extrems de les resistències de 100  $\Omega$  i 1 k del circuit excitador (esquerra) i de l'excitat (dreta). El mesurament és més exacte amb el multímetre.

| $V_{IN}$ (V) | $\Delta V$ R 100 $\Omega$ | $\Delta V$ R 1 k |
|--------------|---------------------------|------------------|
| 0            |                           |                  |
| 0,8          |                           |                  |
| 1            |                           |                  |
| 1,2          |                           |                  |
| 1,5          |                           |                  |
| 2            |                           |                  |
| 3            |                           |                  |

Taula 4. Mesuraments corresponents a l'experiment de la Il·lustració 8.

- 3.6. En l'esquema anterior s'ha de substituir la font d'alimentació en  $V_{IN}$  pel generador de funcions, amb un senyal quadrat que tinga una  $V_{MIN} = 0$  V,  $V_{MAX} = 3$  V i una freqüència d'1 KHz. Usant l'oscil·loscopi s'ha de visualitzar el voltatge als extrems de la resistència del circuit excitat. S'han de dibuixar dos cicles dels senyals de voltatge mesurats en l'oscil·loscopi. Finalment, s'ha d'incrementar la freqüència del senyal i comprovar que funciona adequadament. S'ha d'anotar si a partir d'una certa freqüència l'optoacoblador no respon adequadament. Es poden provar les freqüències més altes de la taula proposada al punt 3.3.

En acabar la sessió de laboratori, cal apagar els equips i deixar a lloc tot el material.



# Laboratori 4

## Funcions combinacionals

14/09/2023

### 1. Introducció

En aquesta sessió de laboratori es desenvolupen les competències necessàries per al disseny i la síntesi de funcions combinacionals senzilles usant portes lògiques. S'implementen funcions com ara suma de productes, productes de sumes i se'n comprova l'equivalència. S'usen propietats algebraïques per a la simplificació de les funcions i també es fa ús de díodes LED per a visualitzar el funcionament correcte de les funcions.

### Objectius

En finalitzar aquesta pràctica, l'estudiant ha de ser capaç de:

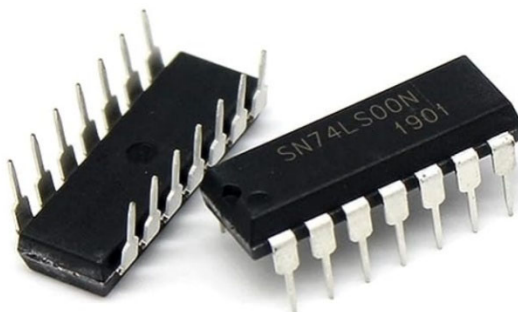
- Implementar funcions combinacionals usant circuits de petita escala d'integració o SSI, de l'anglès *small-scale integration*.
- Analitzar i dissenyar circuits combinacionals mitjançant portes lògiques.

### Material necessari

En aquesta sessió de laboratori s'usa el material següent:

- Font d'alimentació, multímetre i placa de prototips.
- Cables amb connectors BNC/cocodrill i cables de connexió.
- Resistències, díodes LED, portes AND (7408), portes OR (7432), NAND (7400) i portes NOR (7402).

Cal fer notar que la denominació de les portes lògiques sol incloure prefixos, sufixos i lletres intermèdies que n'indiquen la funcionalitat i la família. La Il·lustració 1 mostra un exemple de circuit com el que s'usa en la sessió.



Il·lustració 1. Circuit integrat SN74LS00N.

Els pins donen accés elèctric als components lògics que hi ha a l'interior del xip. En la fitxa de dades (*data sheet*) de cada circuit s'identifica el número de pin juntament amb la funcionalitat que tenen.



Els pins se solen numerar a partir del cercle o marca que tenen a la part superior. El pin amb el cercle és el pin número 1, i segueixen de forma consecutiva en sentit contrari a les agulles del rellotge, vist des de dalt (deixant el codi del circuit a la vista). Cal consultar la fitxa de dades de cada circuit integrat per a saber com es connecten els pins. Cada xip sol tenir almenys un pin d'alimentació  $V_{CC}$  i un altre de terra GND, a més de les entrades i eixides del circuit lògic.

A la part superior hi ha un codi que identifica el circuit, en aquest cas: **SN74LS00N**. Pot haver-hi més nombres o símbols que identifiquen el lot, el país, etc., però el codi interessant és el que identifica el circuit. El significat de cada part d'aquest codi és:

- **SN** indica que el fabricant és Texas Instruments i compleix estàndards comercials. MC indica Motorola, etc. Un mateix fabricant pot tenir més codis que facen referència a diversos estàndards de fabricació i poden canviar a mesura que unes empreses n'adquireixen d'altres.
- **74** indica el tipus de tecnologia i el marge de temperatures. En aquest cas, es tracta d'una família de nivells compatibles TTL, basada en transistors BJT, amb temperatura comercial (de 0°C a 70°C). Anàlogament, el número 54 indica TTL amb temperatura militar (de -55°C a 125°C).
- **LS** és la família TTL concreta. Sol ser indicatiu de velocitat, consum i nivells d'entrada/eixida. En aquest cas, LS indica *Low Power Schottky*, una família TTL que combina baix consum i velocitat. Més famílies TTL són, per exemple, F per a *Fast*, AS per a *Advanced Schottky*, etc.
- **00** indica la funcionalitat del circuit. En aquest cas, el circuit inclou portes NAND. 02 indica portes NOR, 04 indica portes NOT, etc.
- **N** indica el tipus d'encapsulat. En aquest cas es tracta d'un encapsulat DIP (*dual-in-line package*) plàstic. Aquest tipus d'encapsulat s'insereix als circuits impresos i té una separació entre pins de 0,1 polzades (2,54 mm), que és la separació estàndard entre els forats de les targetes de prototips. Altres tipus d'encapsulats serien de muntatge superficial, amb una separació de pins més densa, o fins i tot encapsulats ceràmics, amb més capacitat de dissipació tèrmica.

## Avaluació del laboratori

**Pre-lab.** Per al treball previ s'ha de completar la tasca corresponent a l'Aula Virtual abans de la fi del termini.

**In-lab.** A mesura que les tasques es van completant, l'estudiant ha de sol·licitar la presència del professorat perquè comprovi que ha fet fins aquell moment. El professor assigna llavors la puntuació corresponent a l'activitat que s'haja completat segons la precisió en la tasca i les respostes que el grup done a les preguntes del professor.

## 2. Treball previ al laboratori – Pre-lab

Es presenten dos grups de qüestions que cal contestar: A i B. Cada agrupació de qüestions inclou preguntes sobre les síntesis d'una funció diferent. Cada membre de la parella ha de respondre a les qüestions d'una agrupació diferent, de manera que s'han de distribuir el treball prèviament. En cap cas ambdós membres no poden fer la mateixa agrupació i totes les preguntes s'han de respondre.

- A. Un motor té tres sensors de temperatura, situats en diversos llocs del motor. Si el sensor  $t_0$  supera una temperatura màxima, s'activa el senyal  $x_0$  (s'entén que activar vol



dir passar a 1 lògic o 5 V). Si el sensor  $t_1$  supera una temperatura màxima, s'activa el senyal  $x_1$ . Si el sensor  $t_2$  és inferior a una temperatura mínima, s'activa el senyal  $x_2$ . Quan s'activen simultàniament els dos primers senyals ( $x_1$  i  $x_0$ ) per excés de temperatura o quan s'active el senyal  $x_2$  per temperatura baixa, ha de saltar una alarma  $F$ . S'ha de dissenyar la funció lògica  $F(x_2, x_1, x_0)$  que depèn de ( $x_2, x_1, x_0$ ). Per a fer això s'han de completar els apartats següents:

- A.1. S'ha de construir la taula de veritat de la funció  $F(x_2, x_1, x_0)$ . La funció s'ha d'expressar com a suma de termes mínims (en castellà *minitérminos*) i com a producte de termes màxims (en castellà *maxitérminos*).
  - A.2. S'ha d'indicar l'expressió algebraica simplificada de la funció  $F(x_2, x_1, x_0)$  com a suma mínima de productes. Per a fer-ho s'ha d'emprar un mapa de Karnaugh.
  - A.3. S'ha de dissenyar el circuit combinacional que implementa la funció  $F(x_2, x_1, x_0)$ , usant només portes NAND de dues entrades. Per a fer-ho s'ha d'emprar l'expressió anterior i les lleis de De Morgan.
  - A.4. S'ha d'indicar l'expressió algebraica simplificada de la funció  $F(x_2, x_1, x_0)$  com a producte de sumes mínim. Per a fer-ho cal partir de la taula de veritat i usar un mapa de Karnaugh.
  - A.5. Finalment, s'ha de dissenyar el circuit combinacional que implementa la funció  $F(x_2, x_1, x_0)$  usant només portes NOR de dues entrades. Per a fer-ho s'ha d'emprar l'expressió anterior i les lleis de De Morgan.
- B. Continuant amb el motor anterior, s'hi vol implementar una funció addicional  $G(x_2, x_1, x_0)$  que detectarà que els tres senyals — $x_2, x_1$  i  $x_0$ — estan actius al mateix temps.
- B.1. S'ha de construir la taula de veritat de la funció  $G(x_2, x_1, x_0)$ . Cal expressar la funció com a suma de termes mínims i com a producte de termes màxims.
  - B.2. S'ha d'indicar l'expressió algebraica simplificada de la funció  $G(x_2, x_1, x_0)$  com a suma mínima de productes. Per a fer-ho s'ha d'emprar un mapa de Karnaugh.
  - B.3. S'ha de dissenyar el circuit combinacional que implementa la funció  $G(x_2, x_1, x_0)$  usant només portes NAND de dues entrades.
  - B.4. S'ha d'indicar l'expressió algebraica simplificada de la funció  $G(x_2, x_1, x_0)$  com a producte de sumes mínim. Per a fer-ho cal partir de la taula de veritat i emprar un mapa de Karnaugh.
  - B.5. Finalment, s'ha de dissenyar el circuit combinacional que implementa la funció  $G(x_2, x_1, x_0)$  usant només portes NOR de dues entrades. Per a fer-ho empreu l'expressió anterior i les lleis de De Morgan.

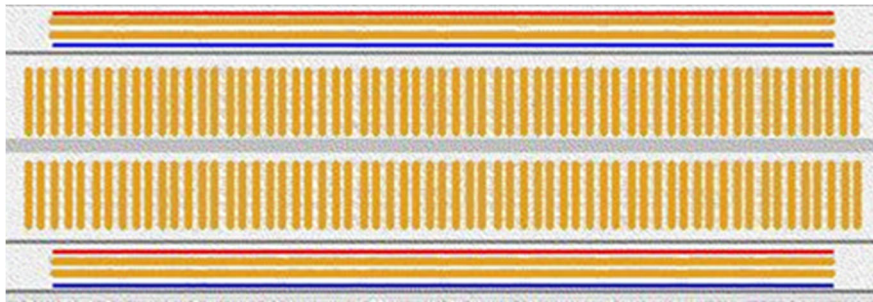
### 3. Treball al laboratori – *In-lab*

En aquesta pràctica de laboratori s'implementen de forma pràctica alguns dels dissenys realitzats en el treball previ usant portes lògiques NAND i portes lògiques NOR.

Cal recordar el tipus de connexió interna que tenen les plaques de prototips per a evitar curtcircuits. Les targetes tenen connectades internament les bandes de cinc pins a fi de poder accedir-hi còmodament. La il·lustració 2 **¡Error! No se encuentra el origen de la referencia.** mostra l'aspecte d'una placa de prototips i la Il·lustració 3 mostra la connexió interna dels pins (Kester, 2016).

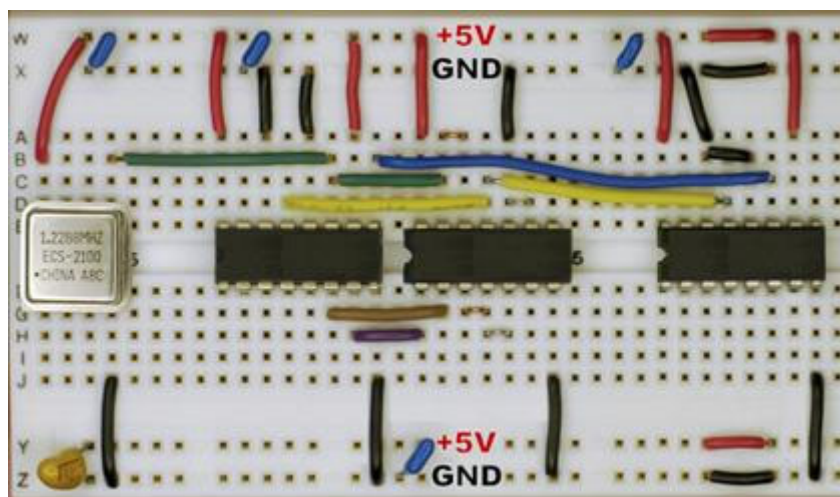


*Il·lustració 2. Placa de prototips. Vista superior.*



*Il·lustració 3. Placa de prototips. Connexió interna.*

Amb aquesta disposició és convenient usar les línies exteriors per a portar alimentació i terra. Així mateix, els circuits integrats s'insereixen a la placa, a la zona central, i cal assegurar-se que no hi ha curtcircuits entre els pins. D'aquesta manera es pot accedir als pins i fer les connexions amb cables xicotets. Un exemple de connexió es mostra a la Il·lustració 4. Cal fer notar que els cables blaus curts que aparentment connecten la línia de +5 V amb GND no ho són. Si ho foren, provocarien un curtcircuit. Es tracta de condensadors de desacoblament, que en el nostre cas no són necessaris.



*Il·lustració 4. Exemple de muntatge en una placa de prototips.*

A continuació es descriuen les activitats que han de fer els equips:

- 3.1. S'ha de muntar sobre la placa de prototips la funció lògica dissenyada a l'apartat A.2 del treball previ al laboratori. Per a fer-ho s'han d'usar circuits integrats 7432 (portes OR) i 7408 (portes AND), que contenen cadascun quatre portes OR i AND de dues entrades, respectivament. Cal tenir en compte que:



- Per a simular les entrades  $x_2$ ,  $x_1$  i  $x_0$  s'empren tres cables que es posen a 0 o 1. Aquests cables han de ser prou llargs per a poder canviar-ne el valor còmodament. Anàlogament, la situació de terra (0 lògic) i alimentació (1 lògic) ha de ser còmoda per a permetre comprovar la taula de veritat de forma ràpida.
  - Cal alimentar els circuits integrats perquè funcionen.
  - Per a l'observació de l'eixida, en lloc de verificar-ne el valor amb un multímetre per a cada combinació d'entrada, s'ha d'usar un LED + resistència d'1 k $\Omega$  per a veure'n el valor. D'aquesta manera es verificarà més ràpidament la taula de veritat.
  - Cal consultar la fitxa de dades o *data sheet* de cada circuit integrat per a saber la funcionalitat de cada pin. Tota aquesta informació és a la documentació addicional de la memòria, a l'Aula Virtual.
  - Cal comprovar tota la taula de veritat. Si en alguna combinació d'entrada, el valor de l'eixida no és l'esperat, cal depurar el circuit per a esbrinar què passa i què funciona malament (cables solts, díode al revés, circuits que no funcionen...). Quan es comprova que funciona correctament, cal avisar el professorat de pràctiques.
- 3.2. S'ha de muntar sobre la placa de prototips el disseny del circuit fet a l'apartat A.3 del treball previ al laboratori. Per a fer-ho s'usa el circuit integrat 7400. Aquest circuit conté quatre portes NAND de dues entrades. Cal seguir el mateix mètode descrit a l'apartat anterior.
- 3.3. Cal muntar sobre la placa de prototips el disseny del circuit fet a l'apartat A.5 del treball previ al laboratori. Per a fer-ho s'usa el circuit integrat 7402. Aquest circuit conté quatre portes NOR de dues entrades. Cal seguir el mateix mètode descrit als apartats anteriors.
- 3.4. S'ha de construir sobre la placa de prototips el disseny del circuit fet a l'apartat B.3 de l'activitat prèvia al laboratori. Per a fer-ho s'usa el circuit integrat 7400. Aquest circuit conté quatre portes NAND de dues entrades. Cal seguir el mateix mètode descrit als apartats anteriors.

En acabar la sessió de laboratori, cal apagar els equips i deixar a lloc tot el material.

## Bibliografia

Kester, W. (2016). "Breadboarding and Prototyping Circuits". *Analogue Dialogue*, novembre del 2016. <<https://www.analog.com/en/analog-dialogue/studentzone/studentzone-november-2016.html>>



# Laboratori 5

## Disseny de circuits combinacionals I

14/09/2023

### 1. Introducció

En aquesta sessió de laboratori es desenvolupen les competències necessàries per al disseny, la implementació i la programació de sistemes digitals. La introducció del circuit es realitza mitjançant el que s'anomena captura d'esquemes, i consisteix en l'emplaçament de components (portes lògiques com les vistes en classe de teoria) mitjançant l'ús de llibreries i la interconnexió posterior d'aquests components.

### Objectius

En finalitzar aquesta pràctica, l'estudiant ha de ser capaç de:

- Usar l'entorn de disseny i d'implementació de sistemes digitals Quartus II.
- Implementar circuits combinacionals senzills amb el programa Quartus II mitjançant la introducció d'esquemes.
- Implementar circuits jeràrquics amb el programa Quartus II.
- Programar un circuit senzill en un dispositiu digital reconfigurable (PLD) amb Quartus II.

### Material necessari

Per a fer aquesta pràctica es disposa d'un ordinador personal i del material d'Altera Corporation® següent: el programari Quartus II i la targeta de desenvolupament DE2 basada en l'FPGA (*Field Programmable Gate Array*) Cyclone II. Es pot baixar una versió del programari Quartus II per a docència des de la seua pàgina web:

<https://www.intel.la/content/www/xl/es/products/details/fpga/development-tools/quartus-prime/resource.html>

### Avaluació del laboratori

**Pre-lab.** Per al treball previ s'ha de completar la tasca corresponent a l'Aula Virtual abans de la fi del termini.

**In-lab.** A mesura que es va acabant cada activitat proposada, l'estudiant ha de sol·licitar la presència del professorat perquè comprove quines tasques s'han completat. A continuació, el professorat assigna la puntuació corresponent a l'activitat que s'haja completat segons el grau d'exactitud i les respostes que el grup done a les preguntes del professorat.

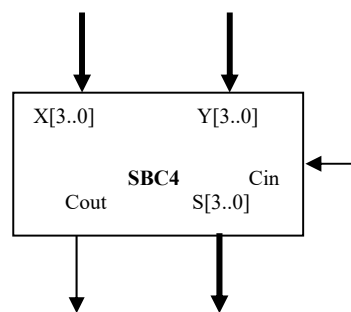
### 2. Treball previ al laboratori – Pre-lab

Es presenten dos grups de qüestions que s'han de contestar: A i B. Cada grup inclou preguntes sobre les síntesis d'una funció diferent. Cada membre de la parella ha de respondre a les qüestions d'un grup diferent, de manera que s'han de distribuir el treball prèviament. En



cap cas ambdós membres no poden fer el mateix grup i totes les preguntes s'han de respondre.

- A. S'ha de llegir el tutorial sobre el programa Quartus II que s'adjunta a la documentació d'Altera disponible a l'Aula Virtual.
- A.1. S'ha de dissenyar un circuit sumador complet de dos bits amb tres entrades:  $X$ ,  $Y$  i  $C_{in}$ , i dues eixides:  $S$  i  $C_{out}$ . La funció s'ha de construir com a suma de productes.
- A.2. S'ha d'usar el sumador binari complet de dos bits dissenyat abans (una vegada generat el símbol) per a implementar un sumador de dos nombres de quatre bits ( $S[3..0] = A[3..0] + B[3..0]$ <sup>1</sup>) que anomenarem SBC4, i es deixa en aquest esquema l'entrada  $C_{in}$  del primer SBC (el de menys pes) i l'eixida  $C_{out}$  de l'últim símbol SBC (vegeu la Il·lustració 1).

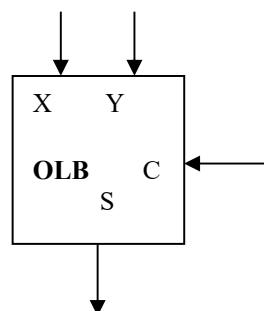


Il·lustració 1. Mòdul SBC4.

- B. Disseny i implementació d'un circuit combinacional anomenat OLB.
- B.1. S'ha de dissenyar el circuit combinacional corresponent a un operador lògic multifunció, que s'anomena OLB, de dos bits  $X$  i  $Y$  d'entrada i un bit de control  $C$ , de manera que, segons el senyal de control, s'obtinga el resultat següent a l'eixida  $S$ :

| $C$ | $S$                |
|-----|--------------------|
| 0   | $X \text{ AND } Y$ |
| 1   | $X \text{ OR } Y$  |

L'esquema es mostra a la Il·lustració 2:



Il·lustració 2. Bloc OLB.

<sup>1</sup> En la notació vectorial emprada,  $X[3..0]$  equival als quatre elements ( $X[3]$ ,  $X[2]$ ,  $X[1]$ ,  $X[0]$ ).

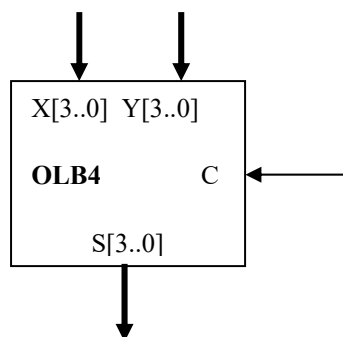


Per a fer-ho cal completar la taula de veritat següent:

| $C$ | $X$ | $Y$ | $S$ |
|-----|-----|-----|-----|
| 0   | 0   | 0   |     |
| 0   | 0   | 1   |     |
| 0   | 1   | 0   |     |
| 0   | 1   | 1   |     |
| 1   | 0   | 0   |     |
| 1   | 0   | 1   |     |
| 1   | 1   | 0   |     |
| 1   | 1   | 1   |     |

S'ha de calcular l'expressió algebraica de la funció  $S$ . S'ha d'implementar el circuit combinacional corresponent a la funció  $S$  amb el nombre de portes lògiques més baix possible.

- B.2. A partir del circuit anterior (OLB), s'ha de dissenyar l'operador lògic per a dos nombres de quatre bits (s'anomenarà OLBx4) com s'ha fet abans en l'exercici A.2 (la Il·lustració 3 mostra el bloc OLB4). En aquest disseny, els quatre elements OLB s'han de connectar amb el senyal  $C$  i arribar en paral·lel a tots. No hi ha ròssec encadenat en aquest cas.



Il·lustració 3. Bloc OLB4

- B.3. S'ha de dissenyar un multiplexor  $2 \times 1$ , d'un bit i usant portes lògiques bàsiques.

### 3. Treball al laboratori – In-lab

En aquesta pràctica es tracta el programari de disseny i implementació de sistemes digitals amb Quartus II. Amb aquest objectiu s'utilitza un circuit bàsic en el disseny de circuits aritmètics: el sumador complet de dos bits, que és la base per a construir qualsevol sumador de  $n$  bits. Primerament es dissenya el sumador complet i es genera el símbol equivalent, i després s'encadenen quatre d'aquests circuits per a construir un sumador de quatre bits. Al final, això s'ha d'implementar sobre una FPGA Cyclone II que té la targeta de desenvolupament DE2.

- 3.1. S'ha d'obrir el programa **Quartus II web edition**.



- 3.2. Per a fer qualsevol disseny s'ha de crear un projecte. Per això, dins del programa s'ha de seleccionar **File>New Project Wizard**. S'obri una finestra de diàleg amb opcions per a completar en cinc finestres. Cal especificar les opcions següents. En l'explicació s'inclou tant el text en valencià com el text original en anglès que ix a les finestres, per a més claredat:

### **Directori, nom, entitat del nivell més alt [pàgina 1 de 5]**

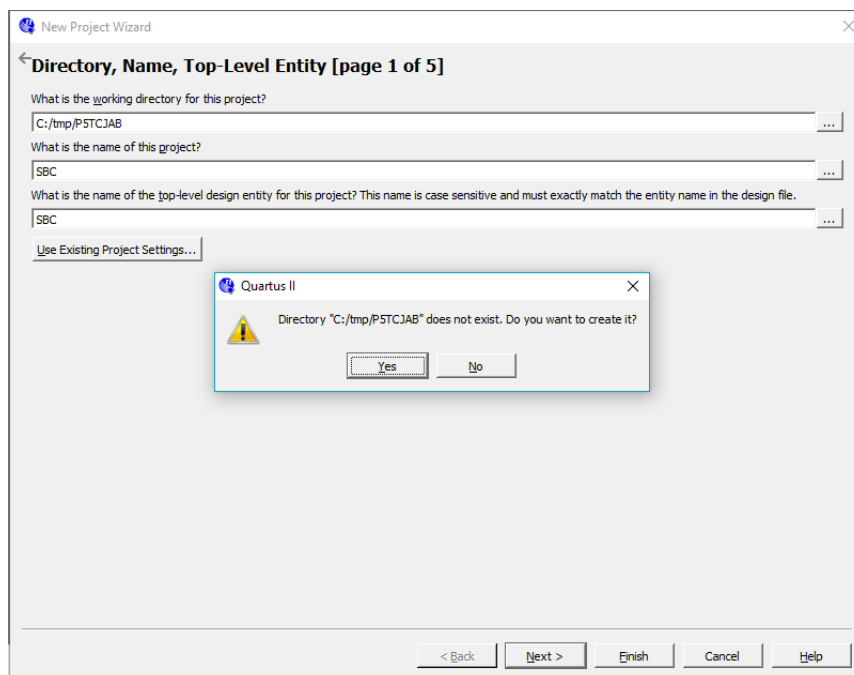
#### *Directory, name, top-level entity [page 1 of 5]*

**Directori de treball / Working directory:** ací s'ha d'indicar un directori on es tinga permís d'escriptura, sense espais, ni accents ni caràcters que no siguen de l'alfabet anglès. Una bona opció és crear un directori per a aquesta sessió dins de `C:\tmp`, com per exemple, `C:\tmp\P5TdOXXX` (en què XXX són les inicials del grup de treball). A més a més, és convenient crear un subdirectori diferent per a cada projecte. Per exemple, el directori de treball per a aquest projecte podria ser: `C:\tmp\P5TdOXXX\SBC`.

**Nom d'aquest projecte / Name of this project:** un nom per al projecte, de nou sense espais, ni accents ni caràcters que no siguen de l'alfabet anglès, que descriga què és. En aquest cas es proposa com a nom SBC, Sumador binari complet.

Quan posem el nom del projecte, la casella següent s'emplena automàticament, **Nom de l'entitat de nivell més alt / Name of the top-level design entity**, perquè ha de coincidir amb el nom del projecte: SBC.

Cal prémer el botó *Next* per a passar a la finestra següent. Si el directori no existeix, el programa demana permís per a crear-ne un, petició a què hem de respondre sí. La Il·lustració 4 mostra aquesta primera finestra.



*Il·lustració 4. Primera finestra de la creació del projecte.*

### **Afegir fitxers [pàgina 2 de 5]**

#### *Add files [page 2 of 5]*



No s'ha d'afegir cap fitxer en aquest projecte, de manera que cal prémer *Next*.

## Família i configuració del dispositiu [pàgina 3 de 5]

### *Family & Device settings [page 3 of 5]*

En aquesta finestra s'especifica l'FPGA que es programarà. És important no equivocar-se. Es pot veure a la targeta que es tracta d'un dispositiu de la família Cyclone II: EP2C35F672C6, de manera que s'especifica la família de dispositius / *Device family* Cyclone II. En la secció de *Dispositiu objectiu* / *Target Device* se selecciona *Dispositiu específic* / *Specific device* (no *Auto device*) i no s'hi posa cap filtre. La Il·lustració 5 mostra com s'ha d'emplenar aquesta finestra.

**Family & Device Settings [page 3 of 5]**

Select the family and device you want to target for compilation.

Device family:  
 Family: Cyclone II  
 Devices: All

Target device:  
☐ Auto device selected by the Fitter  
☒ Specific device selected in 'Available devices' list  
☐ Other: n/a

Show in 'Available devices' list:  
 Package: Any  
 Pin count: Any  
 Speed grade: Any  
 Name filter:   
☒ Show advanced devices ☐ HardCopy compatible only

Available devices:

| Name         | Core Voltage | LEs   | User I/Os | Memory Bits | Embedded multiplier 9-bit elements | PLL | al |
|--------------|--------------|-------|-----------|-------------|------------------------------------|-----|----|
| EP2C35F484C7 | 1.2V         | 33216 | 322       | 483840      | 70                                 | 4   | 16 |
| EP2C35F484C8 | 1.2V         | 33216 | 322       | 483840      | 70                                 | 4   | 16 |
| EP2C35F484I8 | 1.2V         | 33216 | 322       | 483840      | 70                                 | 4   | 16 |
| EP2C35F672C6 | 1.2V         | 33216 | 475       | 483840      | 70                                 | 4   | 16 |
| EP2C35F672C7 | 1.2V         | 33216 | 475       | 483840      | 70                                 | 4   | 16 |
| EP2C35F672C8 | 1.2V         | 33216 | 475       | 483840      | 70                                 | 4   | 16 |
| EP2C35F672I8 | 1.2V         | 33216 | 475       | 483840      | 70                                 | 4   | 16 |

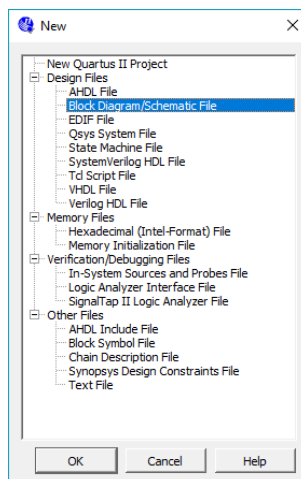
Companion device:  
 HardCopy:   
☐ Limit DSP & RAM to HardCopy device resources

< Back Next > Finish Cancel Help

Il·lustració 5. Opcions de la finestra 3 de la creació del projecte.

Com que no cal afegir-hi més informació, podem finalitzar l'assistent fent clic directament en el botó de finalització (*Finish*). En cas que premem el botó de finestra següent (*Next*), hem de passar dues finestres més sense afegir-hi cap informació i prémer *Next* successivament.

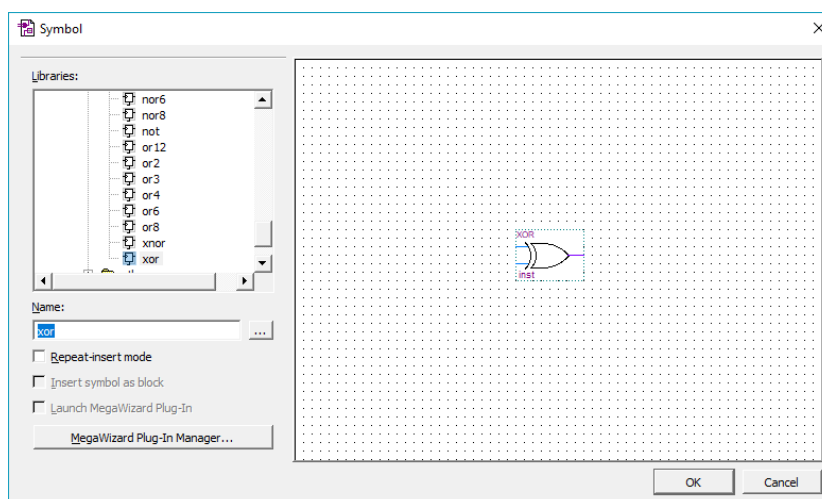
- 3.3. El projecte ja s'ha creat i el nom apareix a la part superior esquerra, al costat del nom de l'aplicació. Ara s'ha d'obrir un esquema per a crear l'SBC. Per a fer-ho seleccionem *File>New* i, en la finestra de diàleg, seleccionem *Diagrama de bloc/fitxer esquemàtic* (*Block diagram/Schematic file*), tal com es mostra a la Il·lustració 6.



Il·lustració 6. Creació d'un nou esquema.

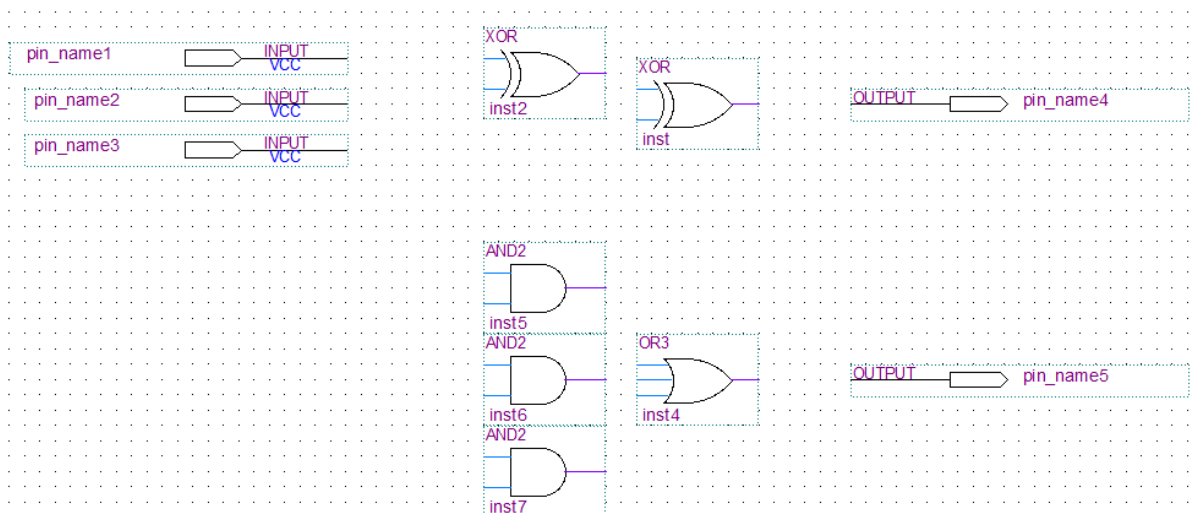
Després de prémer *OK* s'obri un full de disseny d'esquemes en blanc amb un nom inicial genèric (*Block1.bdf*).

Una vegada s'ha creat la pàgina en blanc, s'ha de crear l'esquema del sumador binari complet. Per a fer-ho cal afegir-hi les portes, els pins d'entrada/eixida del mòdul SBC i connectar-ho tot. Així, punxant ràpidament dues vegades seguides sobre el full en blanc o seleccionant el símbol d'una porta en el menú de components de l'esquema, s'obri la finestra de diàleg de símbols (*Symbol*), útil per a afegir components a l'esquema. En la casella del nom (*Name*) es pot escriure el nom del component perquè aparega i s'hi puga inserir directament. Per exemple, amb la porta *xor*, tal com es mostra a la Il·lustració 7.



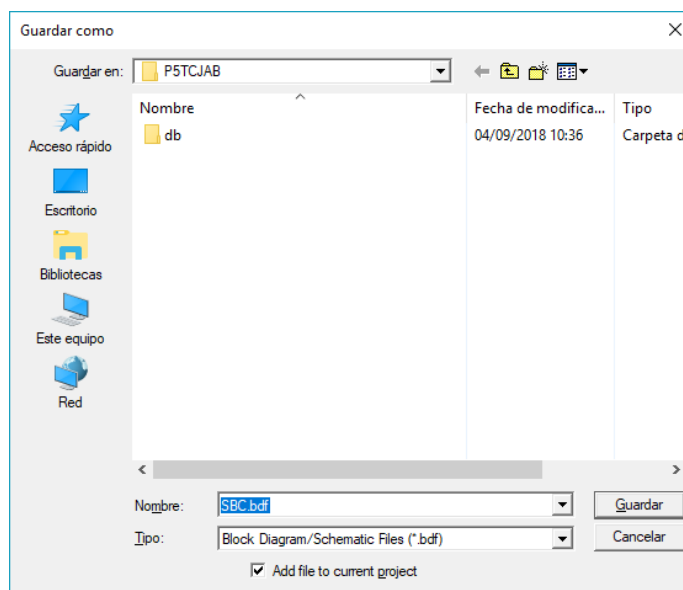
Il·lustració 7. Finestra per a afegir símbols a l'esquema.

S'hi han d'afegir les portes lògiques AND i OR necessàries, seguint la convenció nom + nombre d'entrades: per exemple, *and2*, *or3*, etc. A més, cal afegir-hi tres pins d'entrada i dos d'eixida. Aquests pins són components anomenats a la llibreria com a *input* i *output* respectivament. La Il·lustració 8 mostra els components necessaris per a fer el mòdul SBC.



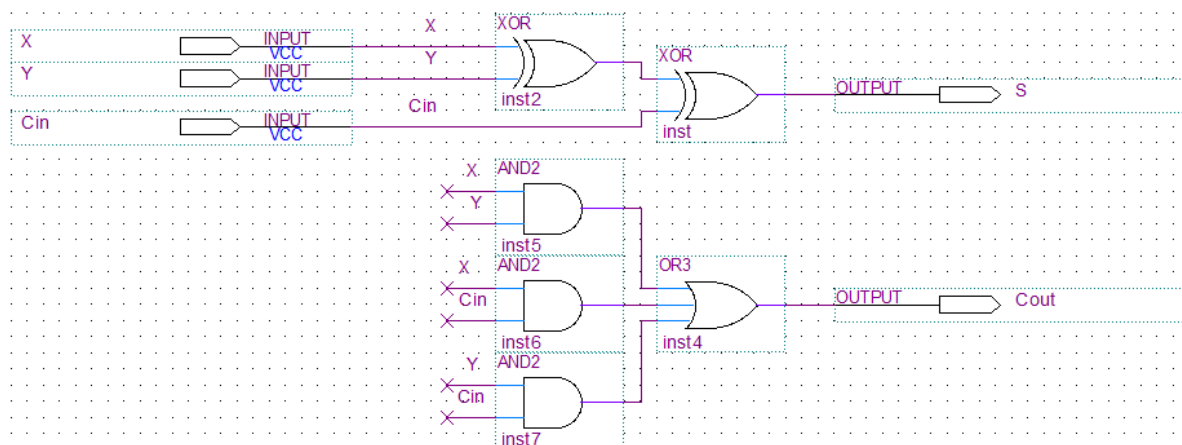
Il·lustració 8. Components del mòdul SBC.

S'ha de desar el fitxer amb el nom del projecte. Per a fer-ho cal seleccionar **File > Save** as i apareix una finestra de diàleg per a triar el lloc on volem desar el fitxer. El directori que s'ha creat per al projecte és el lloc correcte i el que apareixerà per defecte. El nom que apareixerà en la finestra serà el del projecte amb l'extensió **bdf** en aquest cas: **SBC.bdf**. La il·lustració següent mostra la finestra de desament.



Il·lustració 9. Finestra per a desar el disseny de l'esquema.

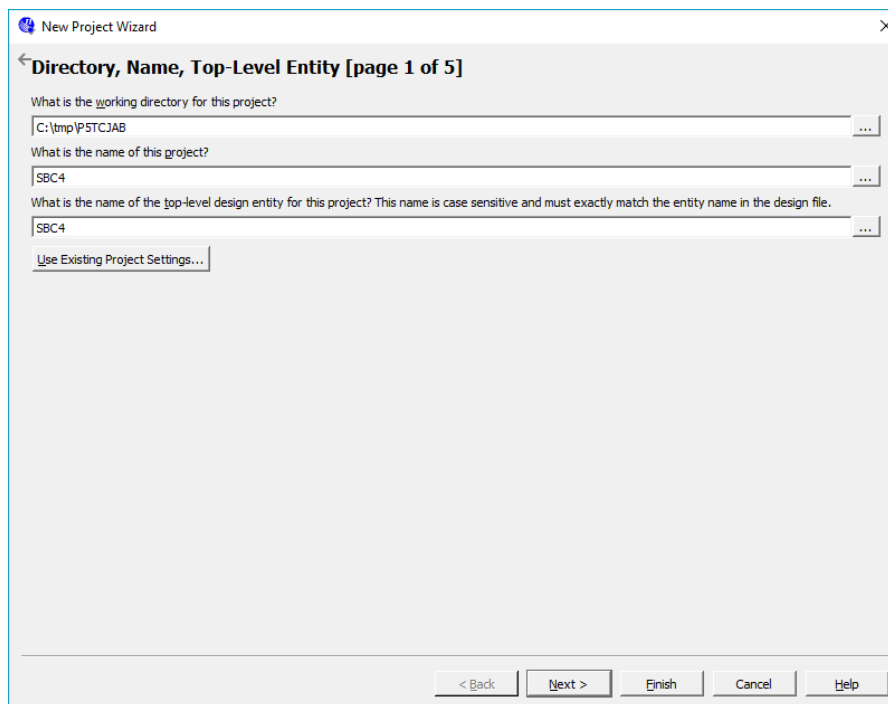
- 3.4. Ara els components s'han de connectar i anomenar les entrades i eixides per a construir les funcions *Cout* i *S* en funció de *X*, *Y* i *Cin*. Per a anomenar els pins, només cal fer clic dues vegades en el nom per defecte i editar-lo. Per a connectar els components es poden fer servir cables (menú de l'esquema o simplement punxant i estirant els pins eixiran els cables). Una forma de fer el disseny més clar i reduir cables és usar etiquetes en els nodes, de manera que qualsevol node que tinga el mateix nom es considera connectat. Amb aquest objectiu, només s'ha de seleccionar un cable i escriure damunt seu perquè quede etiquetat. Un exemple de muntatge és el que es mostra a la il·lustració 10.



Il·lustració 10. Un muntatge possible del mòdul SBC.

- 3.5. Una vegada desat el disseny, es pot crear el símbol per defecte de l'SBC, símbol que s'usarà com a bloc en el disseny del sumador de quatre bits. Això es fa seleccionant File>Create/update>Create Symbol Files for Current File. Si no hi ha errors, el programa pregunta el nom del símbol, que té extensió **bsf**, i el lloc on s'ha de desar. El nom proposat per defecte, **SBC.bsf**, que coincideix amb el de l'esquema i el projecte, és correcte, i el lloc (el directori creat per a aquesta pràctica) també; per tant, només cal clicar el botó de desament.
- 3.6. Ara ja estem en disposició de crear el sumador binari complet de quatre bits; per a fer-ho cal crear un nou projecte. En primer lloc, es desa el projecte actual File>Save Project. A continuació s'ha de tornar a obrir l'assistent per a crear un nou projecte, File>New Project Wizard, i el programa pregunta si volem tancar el projecte anterior: cal dir que sí.

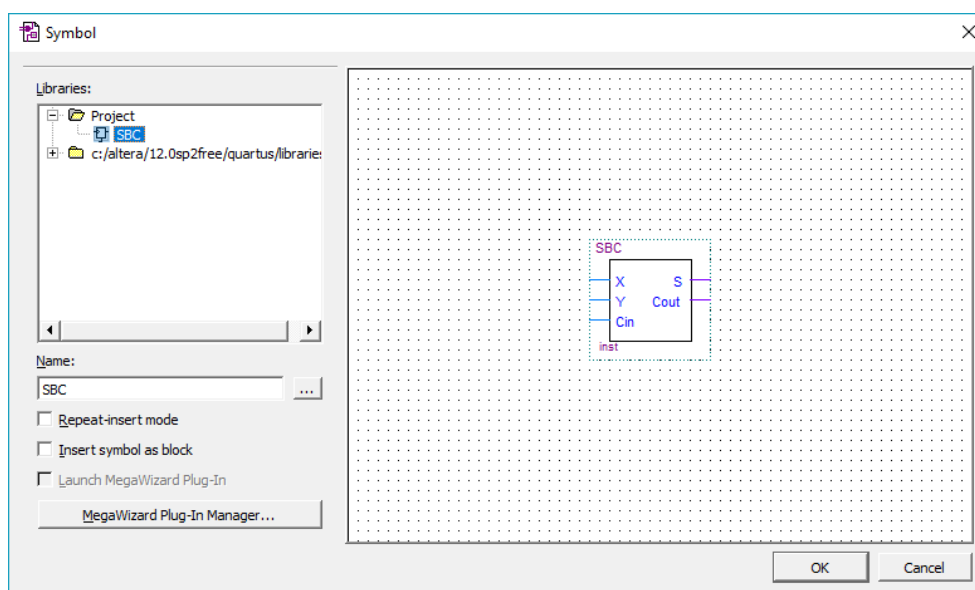
El nou projecte usa el mateix directori de treball creat abans per a poder fer servir el component anterior de forma còmoda. El nom del nou projecte sí que ha de ser diferent, i en aquest cas s'anomenarà SBC4. La Il·lustració 11 mostra la creació del projecte SBC4.



Il·lustració 11. Creació del projecte SBC4.

Les altres opcions són les mateixes. Cal fixar-s'hi bé i triar el dispositiu correcte, tal com s'ha fet abans. Durant la creació del projecte, el programa avisa que ja hi ha un projecte en aquest directori i pregunta si es vol crear un directori diferent. Li diem que no, perquè la intenció és heretar el projecte anterior. El nom del projecte, SBC4, ha d'aparèixer al costat del nom de l'aplicació, a la part superior esquerra.

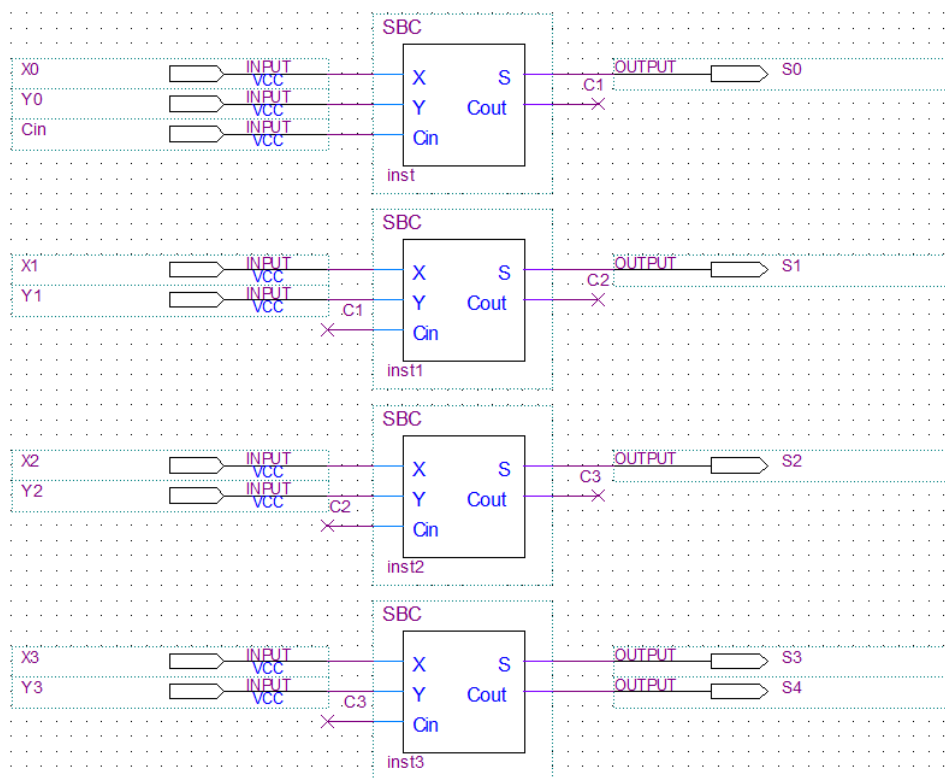
- 3.7. De nou cal crear un full d'esquema, tal com s'ha fet en el punt 3.3. El nou esquema usa el bloc SBC anterior. S'hi pot afegir de forma senzilla perquè, en usar el directori del projecte anterior, apareix una carpeta anomenada Projecte (*Project*) amb el component SBC. La Il·lustració 12 mostra aquesta situació.



Il·lustració 12. Simbol del bloc SBC disponible com a element de llibreria.



- 3.8. S'hi han d'afegir quatre blocs SBC i els pins necessaris, seguint el mètode anterior, per a construir l'SBC4, i quan estiga creat s'ha de desar amb aquest nom. Cal fer notar que el darrer ròssec<sup>2</sup> d'eixida s'ha anomenat S4 perquè és el bit més significatiu de la suma. Cal tenir present que si es fa clic en el bloc SBC, s'obri l'esquema del mòdul SBC. Un possible aspecte del mòdul SBC4 es mostra a la Il·lustració 13:



Il·lustració 13. Una possible implementació de l'SBC4.

- 3.9. Una vegada arribats a aquest punt, el disseny s'ha de compilar. És a dir, s'ha de crear una llista de components i connexions que, emprant les portes i connexions disponibles en l'FPGA triada, implemente la funcionalitat descrita amb l'esquema. Per a fer això s'ha d'iniciar el procés de compilació seleccionant Processing > Start compilation. Si apareixen errors en el procés, s'han de llegir els missatges corresponents i s'han de corregir fins que el disseny es compile. També poden aparèixer una sèrie d'avisos (*warnings*) que han de llegir-se i entendre.
- 3.10. Una vegada el disseny s'ha compilat per primera vegada, s'efectua l'assignació de pins per a comprovar amb els interruptors i els LED de la targeta DE2 el funcionament del sumador. Amb aquest objectiu s'ha de seleccionar el planificador de pins Assignments > Pin planner i, en la columna de localització (*Location*), escollir el pin físic assignat a cada entrada i eixida del disseny. La Taula 1 mostra l'assignació de pins que s'ha de fer.

<sup>2</sup> Carry en anglès i acarreo en castellà.



| Pin     | Interruptor / LED                 |
|---------|-----------------------------------|
| Cin     | SW0                               |
| X[3..0] | SW4, SW3, SW2, SW1                |
| Y[3..0] | SW8, SW7, SW6, SW5                |
| S[4..0] | LEDR4, LEDR3, LEDR2, LEDR1, LEDR0 |

Taula 1. Assignació de pins del disseny SBC4.

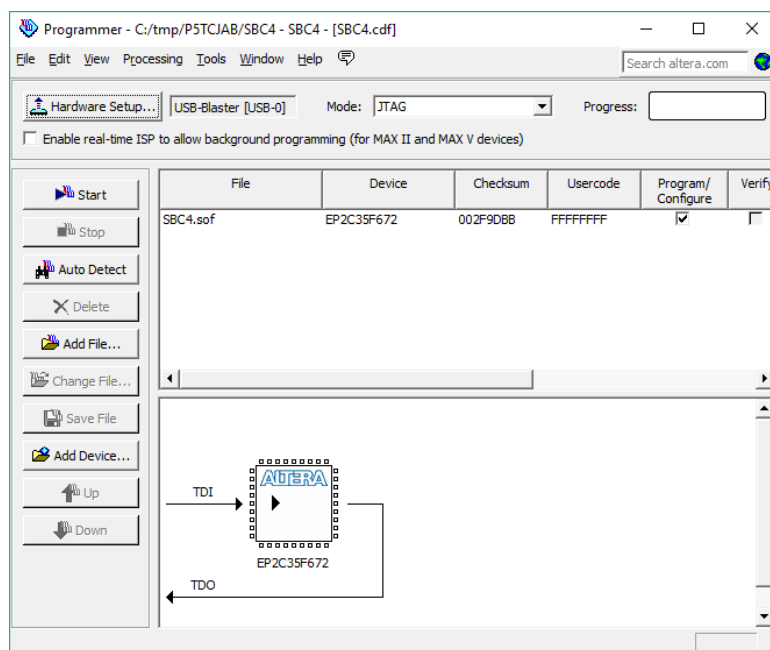
Per a saber a quin pin de l'FPGA està connectat cada interruptor o LED, cal consultar en l'Aula Virtual el document adjunt amb l'assignació de pins de la targeta DE2: DE2\_Pin\_Table.pdf. L'assignació final ha de quedar com es mostra a la Il·lustració 14.

| Named: *  | Edit: X   | ✓        |
|-----------|-----------|----------|
| Node Name | Direction | Location |
| Cin       | Input     | PIN_N25  |
| S0        | Output    | PIN_AE23 |
| S1        | Output    | PIN_AF23 |
| S2        | Output    | PIN_AB21 |
| S3        | Output    | PIN_AC22 |
| S4        | Output    | PIN_AD22 |
| X0        | Input     | PIN_N26  |
| X1        | Input     | PIN_P25  |
| X2        | Input     | PIN_AE14 |
| X3        | Input     | PIN_AF14 |
| Y0        | Input     | PIN_AD13 |
| Y1        | Input     | PIN_AC13 |
| Y2        | Input     | PIN_C13  |
| Y3        | Input     | PIN_B13  |

Il·lustració 14. Assignació de pins per al disseny SBC4.

Una vegada tancat el planificador de pins, cal tornar al procés de compilació. Abans de passar a la comprovació és convenient generar el símbol per defecte de l'SBC4, ja que s'emprarà en la sessió de laboratori següent. Per a crear el símbol per defecte s'ha de seguir el mètode ja explicat en el punt 3.5.

- 3.11. Ara, ja amb l'assignació correcta de pins, estem en disposició de comprovar el funcionament del sumador en la targeta DE2. Això es fa connectant la targeta a l'alimentació i polsant el botó roig d'inici (els LED començaran a parpellejar en un bucle de demostració). Cal comprovar que el cable USB està connectat al PC i al port amb l'etiqueta *Blaster* de la targeta. Una vegada fet això, la llista de connexions s'ha de descarregar a l'FPGA amb el programador; se selecciona *Tools > Programmer* i s'obri una finestra on s'ha d'indicar la configuració del maquinari (*Hardware setup*). L'USB-Blaster ha d'estar seleccionat. A continuació s'escull el fitxer de programació *SBC4.sof*. Finalment, cal iniciar el programa prement *Start*. La il·lustració següent mostra la configuració del programador.



Il·lustració 15. Finestra del programador.

- 3.12. Cal comprovar que el sumador funciona fent unes quantes sumes. Després es crida el professorat del laboratori perquè ho verifiqui.
- 3.13. **S'ha de desar tot el disseny SBC4 (que inclou l'SBC) i guardar-ne una còpia perquè s'usarà com a punt de partida en la pràctica següent.** Això és fàcil perquè el directori que s'ha creat conté tota la faena i només s'ha de copiar en una memòria USB o comprimir-lo en un fitxer i desar-lo en un compte personal.
- 3.14. S'ha de seguir el mateix procés amb un disseny diferent: creació de l'OLB simple i de l'OLB4 de la secció B del treball previ al laboratori seguint els mateixos passos realitzats abans. Una vegada enllestit el nou disseny, es crida de nou el professorat perquè comprovi que funciona correctament.
- 3.15. Finalment, es proposa implementar el multiplexor  $2 \times 1$  d'un bit dissenyat en el punt B.3 del treball abans del laboratori. S'ha de compilar i efectuar l'assignació de pins següent que es proposa en la Taula 2. Una vegada efectuada l'assignació, s'ha de tornar a compilar, programar la targeta i comprovar el funcionament del circuit. Finalment, el funcionament del nou circuit s'ha de mostrar al professorat del laboratori.

| Pin      | Interruptor / LED |
|----------|-------------------|
| Selecció | SW0               |
| Dades0   | SW1               |
| Dades1   | SW2               |
| Eixida   | LEDR0             |

Taula 2. Assignació de pins del disseny del multiplexor.

En finalitzar la sessió de laboratori s'han d'esborrar tots els fitxers i directoris creats al PC del laboratori. També cal apagar els equips i deixar a lloc tot el material.



# Laboratori 6

## Disseny de circuits combinacionals II

14/09/2023

### 1. Introducció

En aquesta sessió de laboratori es continuen desenvolupant les competències necessàries per al disseny, la implementació i la programació de sistemes digitals. En la introducció del circuit s'empra, a més de la captura d'esquemes, el llenguatge de descripció del maquinari VHDL.

### Objectius

L'estudiant, en finalitzar aquesta pràctica, ha de ser capaç de:

- Implementar circuits combinacionals senzills amb Quartus II mitjançant el llenguatge VHDL.
- Programar un circuit senzill en un dispositiu digital reconfigurable (PLD) amb Quartus II.
- Implementar circuits jeràrquics en Quartus II combinant en el disseny circuits esquemàtics i fitxers amb descripció VHDL.

### Material necessari

Per a fer la pràctica es disposa d'un ordinador personal i del material d'Altera Corporation® següent: el programari Quartus II i la targeta de desenvolupament DE2 basada en l'FPGA (*Field Programmable Gate Array*) Cyclone II. Es pot baixar una versió per a docència del programari Quartus II des de la seua pàgina web:

<https://www.intel.la/content/www/xl/es/products/details/fpga/development-tools/quartus-prime/resource.html>

### Avaluació del laboratori

**Pre-lab.** Per al treball previ s'ha de completar la tasca corresponent a l'Aula Virtual abans de la fi del termini.

**In-lab.** A mesura que es vaja acabant cada activitat proposada, l'estudiant ha de sol·licitar la presència del professorat perquè comprove quines tasques s'han fet. A continuació, el professorat assigna la puntuació corresponent a l'activitat que s'haja completat segons el grau d'exactitud i les respostes que el grup done a les preguntes del professorat.

### 2. Treball previ al laboratori – Pre-lab

Per a poder aprofitar al màxim la sessió de laboratori és molt important que es facen les activitats que es proposen a continuació. Hi ha dos grups d'activitats, A i B. En aquest cas, les activitats no són independents i s'han de fer seqüencialment, de manera que no convé fer una distribució del treball. En aquesta sessió sembla més convenient fer el treball en una



reunió de preparació de la sessió en què els dos membres de la parella s'ajuden i s'involucren per igual. No ha de quedar cap tasca per fer.

- A. Els nombres BCD es poden mostrar en una petita pantalla de set segments, cosa que és més còmoda que una seqüència de LED. Hi ha descodificadors de BCD a set segments que, segons el codi BCD, activen els segments adequats de la pantalla. En cas que un nombre binari siga més petit que  $(1010)_2$ , coincideix amb el seu equivalent BCD; però en el cas que siga més gran o igual, no. Una manera de convertir un nombre binari de quatre bits en BCD consisteix a sumar-li  $(110)_2$  si aquest nombre binari és més gran que  $(1010)_2$ . Així, per exemple, si volem convertir  $(1111)_2 = (15)_{10}$  en BCD, com que és més gran que  $(1010)_2$ , caldria sumar-li  $(110)_2$ , amb el resultat de  $(10101)_2$ . Agrupant de quatre en quatre els bits per a construir els dígits BCD obtindríem  $(0001)_2$  i  $(0101)_2$ , que correspondrien al  $(1)_{10}$  i al  $(5)_{10}$  respectivament, que és el resultat correcte en BCD:

$$\begin{array}{r}
 11 \\
 1111 \\
 +0110 \\
 \hline
 0001 \quad 0101
 \end{array}$$

- A.1. Dissenya una funció combinacional  $f$  que valga 1 quan un nombre binari  $X_3X_2X_1X_0$  siga més gran o igual que  $(10)_{10}$ . Aquesta funció serveix per a detectar si el nombre binari de quatre bits és BCD, i si no ho és, s'hi suma un 6 per a visualitzar-lo en pantalles de set segments.
- A.2. Dissenya un sistema combinacional, utilitzant l'SBC de quatre bits construït en la sessió anterior, perquè qualsevol nombre binari de quatre bits es convertisca en BCD. **Pista:** la millor estratègia és usar la funció  $f$  anterior i sumar  $(0110)_2$  al nombre binari d'entrada, en què  $f=0$  (si el nombre binari és més petit que  $(1010)_2$  o  $f=1$  en cas contrari. D'aquesta manera, s'hi sumará bé  $(0000)_2$ , bé  $(0110)_2$  i la correcció es farà de manera automàtica.
- B. Dissenya un sistema que sume dos nombres de tres bits usant un sumador SBC de tres bits i que mostre el resultat com a BCD. S'han d'usar els mòduls anteriors.

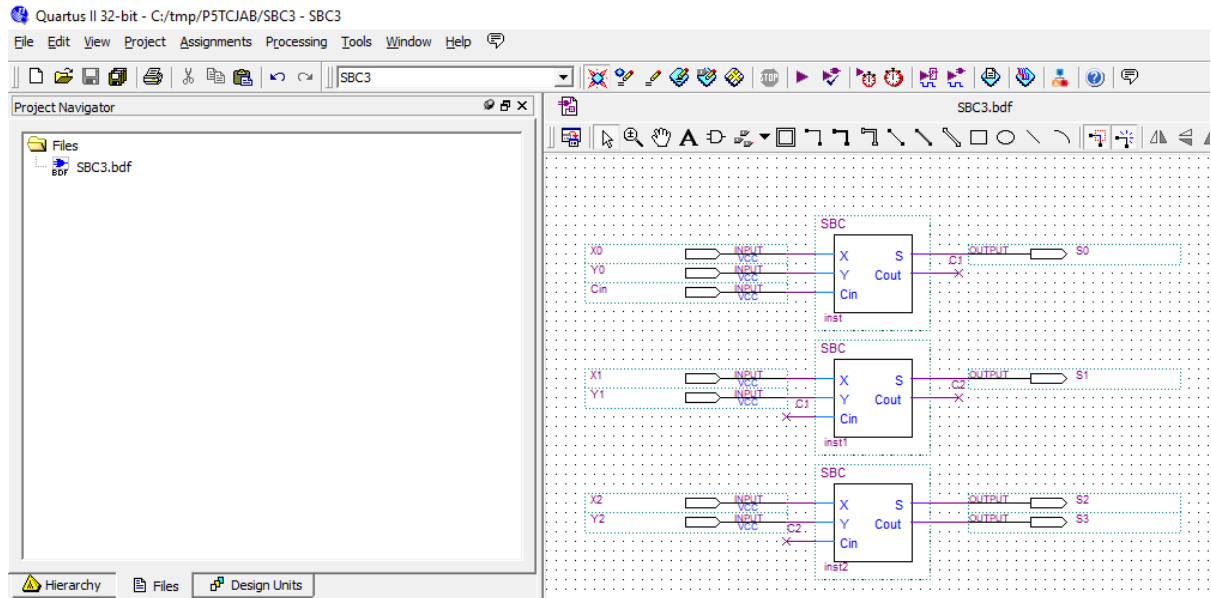
### 3. Treball al laboratori – *In-lab*

En aquesta pràctica continuem treballant amb el programa de disseny i implementació de sistemes digitals Quartus II.

- 3.1. S'ha de recuperar la carpeta de la sessió anterior, on hi ha els dissenys SBC i SBC4. S'han de copiar exactament al lloc on eren anteriorment ( $C:\backslash tmp$  o on siga).
- 3.2. Cal crear un projecte nou, situat al mateix directori de treball que s'acaba de recuperar i que s'ha dissenyat en la sessió anterior. Aquest nou projecte és un sumador complet de tres bits, de manera que el nom siga **SBC3**. S'ha d'usar l'assistent per a crear projectes, tal com s'ha fet en la sessió anterior. Cal tenir especial cura per a seleccionar l'FPGA correcta.
- 3.3. Per a crear l'SBC3 emprem l'esquema ja creat de l'SBC4 de la sessió anterior i eliminem un SBC. Per a fer-ho s'ha d'obrir el fitxer **File>Open>** i seleccionar **SBC4.bdf**.

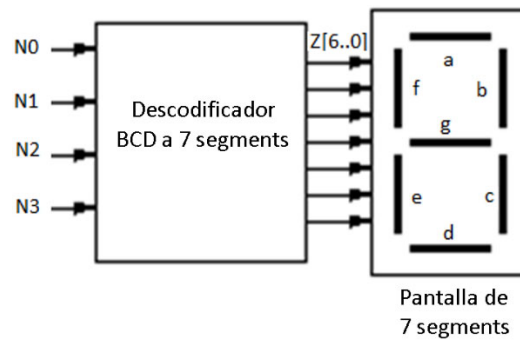


- 3.4. S'ha de desar amb un nom nou perquè volem conservar l'SBC4. Açò es fa simplement seleccionant `File>Save as`, i escollint `SBC3.bdf`. El fitxer apareixerà afegit al projecte automàticament (vegeu la pestanya de fitxers del navegador del projecte).
- 3.5. Ara que està desat, s'ha d'eliminar l'últim SBC per a tenir realment un sumador de tres bits i cal recordar usar el ròssec d'eixida de l'SBC més significatiu resultant com a `S3`. L'esquema resultant ha de ser com el que es mostra a la Il·lustració 1:



Il·lustració 1. Esquema de l'SBC3.

- 3.6. S'ha de crear el símbol per defecte de l'SBC3 per a usar-lo en el projecte següent. L'opció del programa ja la coneixem: `File>Create/update>Create Symbol Files for Current File`. S'ha de desar tot i tancar el projecte per a crear un nou projecte que ho integrarà tot.
- 3.7. S'ha de crear un nou projecte que s'anomeni SumaBCD seguint el mètode habitual. Recordeu que s'hi ha d'afegir l'FPGA correcta.
- 3.8. Per a mostrar un nombre BCD per la pantalla de set segments és necessari un mòdul combinacional que excite els set LED amb forma de segment en funció dels quatre bits que formen el nombre, tal com es mostra a la Il·lustració 2.



Il·lustració 2. Connexió entre el descodificador BCD a set segments i la pantalla de set segments.

És senzill, però lent i tediós, construir les set funcions mitjançant portes lògiques. Per tant, una bona idea és usar una descripció VHDL del comportament del mòdul `dec_7_seg`. Amb una instrucció en VHDL `WITH-SELECT` es pot descriure el comportament de les eixides en funció de les entrades, com en una taula de veritat. És responsabilitat del programa fer les simplificacions, etc. corresponents. Com que les pantalles de set segments de la targeta DE2 són d'ànode comú, perquè s'il·lumine el segment adequat s'ha de posar un 0 en aquest pin. El codi VHDL és el següent:

```

LIBRARY IEEE;
USE IEEE.STD_LOGIC_1164.ALL;

ENTITY desc_7_seg IS
PORT (N: IN STD_LOGIC_VECTOR(3 DOWNTO 0));
      Z: OUT STD_LOGIC_VECTOR(6 DOWNTO 0));
END desc_7_seg;

ARCHITECTURE flux_de_dades OF desc_7_seg IS
BEGIN
WITH N SELECT
  Z<="1000000" WHEN "0000",
    "1111001" WHEN "0001",
    "0100100" WHEN "0010",
    "0110000" WHEN "0011",
    "0011001" WHEN "0100",
    "0010010" WHEN "0101",
    "0000010" WHEN "0110",
    "1111000" WHEN "0111",
    "0000000" WHEN "1000",
    "0011000" WHEN "1001",
    "1111111" WHEN OTHERS;
END flux_de_dades;

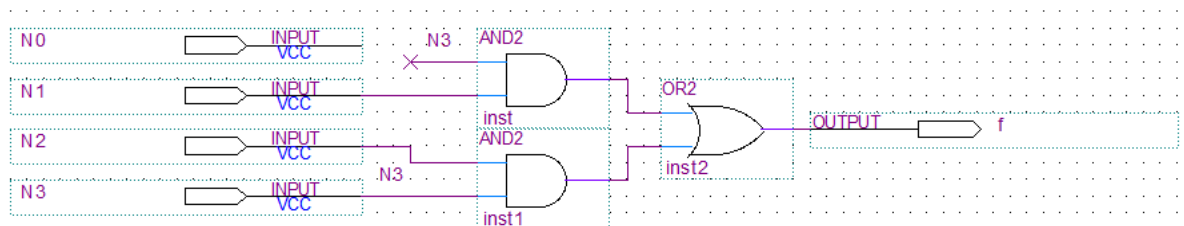
```

3.9. S'ha d'obrir un fitxer de text VHDL amb l'opció `File>New` i seleccionar VHDL File. Ara copiem el text anterior i l'enganxem en aquest fitxer. Desem el fitxer amb el nom `desc_7_seg.vhd`, el mateix nom que l'entitat però amb l'extensió `vhd`, i creem el símbol per defecte amb l'opció `File>Create/update>Create Symbol Files for Current File`.

3.10. Dins del mateix projecte (SumaBCD), s'ha de construir la funció  $f$ , dissenyada en l'apartat A.1 de l'activitat prèvia al laboratori, creant un esquema i generant un



símbol per a poder usar-lo com un bloc. La Il·lustració 3 mostra una possible implementació de la funció  $f$ .



Il·lustració 3. Funció que detecta si un nombre és BCD.

La funció  $f$  no depèn del bit menys significatiu, però s'ha deixat explícitament en l'esquema perquè no hi haja confusió.

- 3.11. Ja es disposa de tots els elements necessaris per a construir el sistema complet que sume dos nombres de tres bits:  $X_2X_1X_0$  i  $Y_2Y_1Y_0$ . El valor màxim de cada nombre, com que només tenen tres bits, és 7, de manera que la suma pot ser 14 com a valor màxim. En el cas dels sumands, com que són més petits que  $(10)_{10}$ , es poden mostrar directament amb una pantalla BCD, en coincidir amb el valor BCD. Així i tot, el resultat de la suma pot no ser BCD, per la qual cosa s'ha d'emprar, si és el cas, el circuit construït abans.

L'esquema final s'ha de construir amb tots els elements. Aquest esquema serà la part alta del projecte i s'ha de dir com aquest: `SumaBCD`, amb l'extensió `bdf`.

S'ha de mostrar el valor de les entrades de tres bits en sengles pantalles de set segments i el resultat de la suma en dues pantalles de set segments. És necessari, per tant, un mòdul SBC3 per a fer la suma dels nombres de tres bits, un mòdul SBC4 per a fer la correcció a la suma amb el mòdul funció  $f$  i quatre mòduls `desc_7_seg` perquè es mostren els nombres en les quatre pantalles BCD emprades.

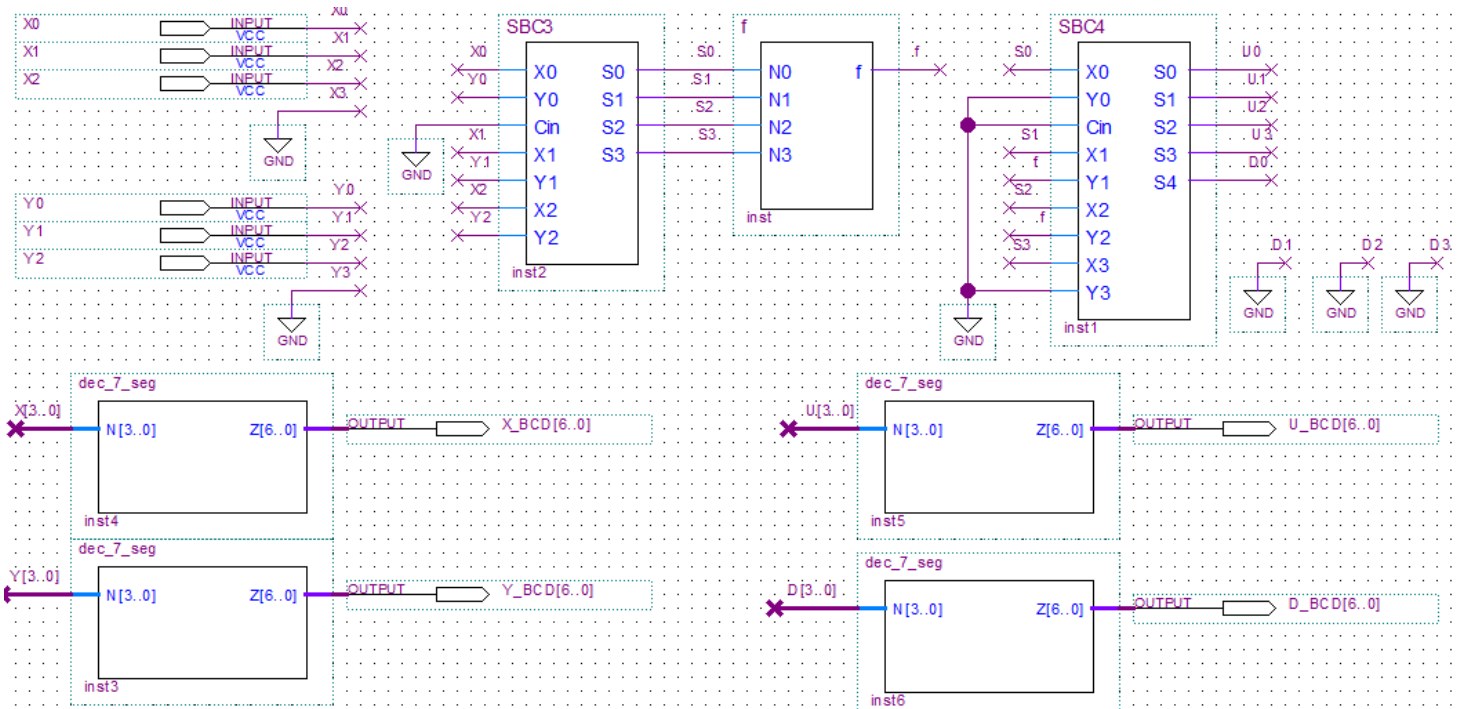
S'han de tenir en compte diverses particularitats:

- Els sumands  $X[2..0]$  i  $Y[2..0]$  tenen tres bits, però el descodificador a set segments té quatre bits d'entrada, de manera que caldrà afegir-hi un bit addicional, que serà el més significatiu i que es connectarà a GND. Les entrades que es passaran al `desc_7_seg` per a veure'n l'eixida a les pantalles seran, per tant,  $X[3..0]$  i  $Y[3..0]$ , encara que el valor màxim serà set en cadascuna.
- La suma de  $X[2..0]$  i  $Y[2..0]$  es realitza amb l'SBC3, el ròssec d'entrada del qual ha d'estar connectat a terra. El resultat serà  $S[3..0]$ .
- La suma a  $S[3..0]$  de  $(0ff0)_2$ , per a convertir el resultat a BCD s'ha de fer amb un SBC4, el ròssec d'entrada del qual ha d'estar connectat a terra. El resultat seran cinc bits. Els quatre bits menys significatius formaran el dígit BCD de les unitats i s'anomenarà  $U[3..0]$ . El més significatiu serà l'únic bit que indicarà la desena i s'anomenarà  $D0$ . Per a poder connectar aquest bit al descodificador a set segments, que té quatre bits d'entrada, cal afegir-hi tres bits significatius més, que seran sempre zero, de manera que el bus que es connectarà al descodificador per a mostrar les desenes serà  $D[3..0]$ .



- Es proposa assignar un nom a l'eixida dels descodificadors a set segments que siga fàcilment recognoscible. D'aquesta manera, l'eixida descodificada de  $X[3..0]$  serà  $X\_BCD[6..0]$ , l'eixida de  $Y[3..0]$  serà  $Y\_BCD[6..0]$ , la de les unitats  $U[3..0]$  serà  $U\_BCD[6..0]$  i la de les desenes  $D[3..0]$  serà  $D\_BCD[6..0]$ .

L'esquema final ha de tenir un aspecte similar al que mostra la Il·lustració 4.



Il·lustració 4. Esquema final del disseny SumaBCD.

3.12. Cal desar i compilar el disseny. Si hi ha errors, s'han de corregir.

3.13. Es proposa fer l'assignació de pins que es mostra a la Taula 1 perquè  $X$  i  $Y$  queden sota la seua pantalla.

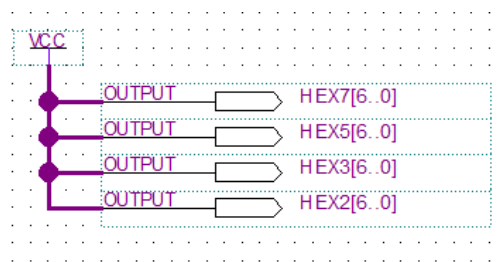
| Pin            | Interruptor o segment BCD                                     |
|----------------|---------------------------------------------------------------|
| $X[2..0]$      | SW14, SW13, SW12                                              |
| $Y[2..0]$      | SW17, SW16, SW15                                              |
| $X\_BCD[6..0]$ | HEX4[6], HEX4[5], HEX4[4], HEX4[3], HEX4[2], HEX4[1], HEX4[0] |
| $Y\_BCD[6..0]$ | HEX6[6], HEX6[5], HEX6[4], HEX6[3], HEX6[2], HEX6[1], HEX6[0] |
| $U\_BCD[6..0]$ | HEX0[6], HEX0[5], HEX0[4], HEX0[3], HEX0[2], HEX0[1], HEX0[0] |
| $D\_BCD[6..0]$ | HEX1[6], HEX1[5], HEX1[4], HEX1[3], HEX1[2], HEX1[1], HEX1[0] |

Taula 1. Assignació de pins del disseny.



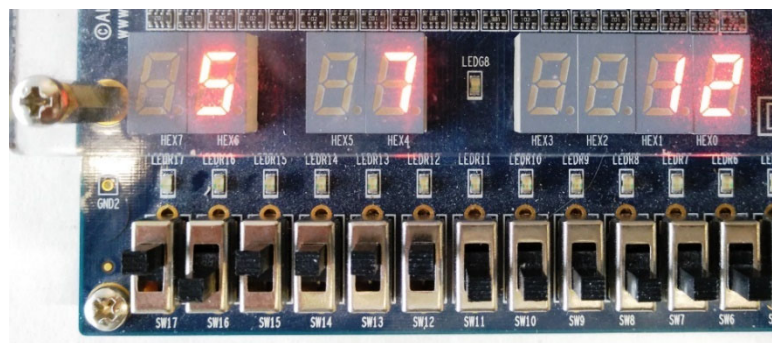
Per a saber a quin pin de l'FPGA està connectat cada interruptor o LED, cal consultar el document adjuntat com a documentació addicional a l'Aula Virtual, amb l'assignació de pins de la targeta DE2: DE2\_Pin\_Table.pdf. Una vegada s'haja tancat el planificador de pins.

- 3.14. Ja amb l'assignació de pins feta, el disseny s'ha de tornar a compilar i cal comprovar el funcionament del sumador en la targeta. Per a fer-ho cal programar la targeta seguint el mètode explicat en la sessió anterior. Una vegada comprovat que tot funciona, cal avisar el professorat perquè avalue la sessió.
- 3.15. Si hi ha temps, el sistema final es pot millorar visualment anul·lant les pantalles que no s'usen (HEX7, HEX5, HEX3 i HEX2) perquè, així, no s'il·luminen. Per a això cal afegir-hi un pin de sortida per segment i s'ha de connectar a l'alimentació. Això es pot fer ràpidament mitjançant l'ús de busos, tal com es mostra en la Il·lustració 5.



Il·lustració 5. Connexió de les altres pantalles que no s'usen.

La part més tediosa és fer l'assignació dels  $4 \times 7 = 28$  pins físics al planificador de pins. El resultat final és com el que es mostra en la Il·lustració 6, on es fa una suma de 5 més 7, amb la indicació dels valors binaris amb els interruptors, i on el valor dels sumands i la suma es mostra a les pantalles de set segments.



Il·lustració 6. Resultat experimental de la suma  $5 + 7 = 12$ .



# Laboratori 7

## Disseny de circuits combinacionals III

14/09/2023

### 1. Introducció

En aquesta sessió de laboratori es continuen desenvolupant les competències necessàries per al disseny i la implementació de sistemes digitals. En la introducció del circuit s'empra, a més de la captura d'esquemes, el llenguatge de descripció VHDL i dispositius digitals de mitjana escala d'integració o dispositius MSI (*medium scale of integration*) prèviament dissenyats, com ara descodificadors, multiplexors, etc.

### Objectius

En finalitzar aquesta pràctica, l'estudiant ha de ser capaç de:

- Implementar circuits combinacionals senzills amb Quartus II mitjançant el llenguatge VHDL i circuits MSI.
- Programar un circuit senzill en un dispositiu digital reconfigurable (PLD) amb Quartus II.
- Implementar circuits jeràrquics en Quartus II combinant en el disseny circuits esquemàtics i fitxers de descripció VHDL.

### Material necessari

Per a fer aquesta pràctica es disposarà d'un ordinador personal i del material d'Altera Corporation® següent: el programari Quartus II i la targeta de desenvolupament DE2 basada en l'FPGA (*Field Programmable Gate Array*) Cyclone II. Es pot baixar una versió per a docència del programari Quartus II des de la seua pàgina web:

<https://www.intel.la/content/www/xl/es/products/details/fpga/development-tools/quartus-prime/resource.html>

### Avaluació del laboratori

**Pre-lab.** En el treball previ s'ha de completar la tasca corresponent a l'Aula Virtual abans de la fi del termini.

**In-lab.** A mesura que es vagi fent cada activitat proposada, l'estudiant ha de sol·licitar la presència del professorat perquè comprovi quines tasques s'han completat. A continuació, el professorat assigna la puntuació corresponent a l'activitat que s'haja completat segons el grau d'exactitud i les respostes que el grup done a les preguntes del professorat.

### 2. Treball previ al laboratori – Pre-lab

Per a poder aprofitar al màxim la sessió de laboratori és molt important que es completen les activitats que es proposen a continuació. Les tasques es poden dividir entre els membres de l'equip, però com que han d'haver completat la tasca A abans de fer la B, és convenient que es reunisquen per a fer conjuntament la faena prèvia. Així mateix, un/a estudiant pot fer l'apartat A i passar-ne els resultats al company/a perquè complete l'apartat B.

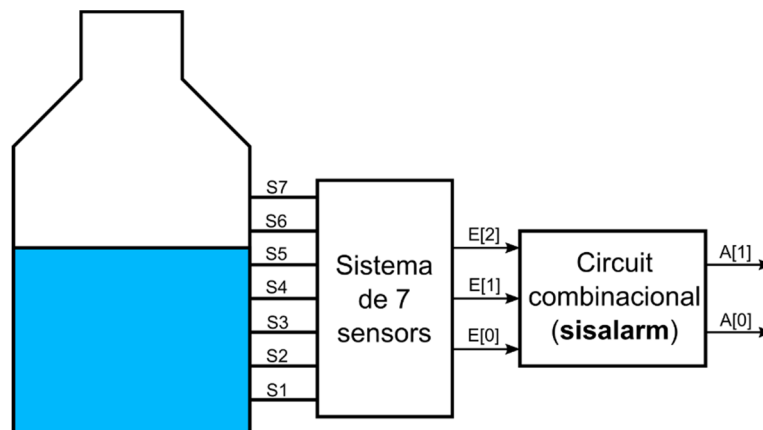


- A. En un dipòsit d'aigua s'ha instal·lat un sistema de set sensors que indica vuit nivells possibles d'ompliment d'aquest dipòsit codificats amb tres senyals ( $E[2]$ ,  $E[1]$  i  $E[0]$ ). Aquest sistema proporciona una combinació 000 quan el dipòsit és buit (el nivell d'aigua no ha arribat al primer sensor) i 111 quan el dipòsit és ple (el nivell d'aigua ha sobrepassat el darrer sensor).

Es vol dissenyar un sistema d'alarma que, a partir de les combinacions de tres bits que proporciona el sistema de sensors, indique mitjançant l'activació de dos senyals d'alarma ( $A[1]$ ,  $A[0]$ ) tres situacions possibles del dipòsit:

- Que el nivell de l'aigua estiga per davall del segon sensor ( $A[1]=A[0]=0$ ).
- Que el nivell de l'aigua siga igual o estiga per damunt del sisè sensor ( $A[1]=A[0]=1$ ).
- Que el nivell de l'aigua siga igual o estiga per damunt del segon sensor i per davall del sisè sensor ( $A[1]=0$ ,  $A[0]=1$ ).

L'esquema del sistema d'alarma **Sisalarm** es mostra en la Il·lustració 1:



Il·lustració 1. Sistema d'alarma del dipòsit d'aigua.

Es proposa dissenyar el circuit combinacional corresponent a aquest sistema d'alarma. Per a fer-ho:

- Cal confeccionar la taula de veritat del circuit combinacional **Sisalarm**.
  - S'ha de dibuixar l'esquema del circuit combinacional amb el mínim nombre de portes de dues entrades.
- B. Disseny alternatiu de les funcions combinacionals.
- Es proposa dissenyar un circuit combinacional associat a la funció  $A[0]$  del problema proposat en el punt A de l'activitat prèvia al laboratori. En aquest cas s'ha d'usar un circuit MSI, en particular un descodificador  $3 \times 8$  amb entrada d'habilitació i una porta lògica. Es proposa fer dos dissenys:
    - Utilitzant un descodificador  $3 \times 8$  amb les eixides actives a nivell alt.



b) Utilitzant un descodificador  $3 \times 8$  amb les eixides actives a nivell baix.

B.2. S'ha de dissenyar un circuit combinacional associat a la funció  $A[1]$  del problema proposat en el punt A de l'activitat prèvia al laboratori mitjançant un fitxer VHDL que s'anomenarà **A1**. Es proposa usar un model de descripció de flux de dades.

Nota: es proposa emprar notació vectorial en el disseny del circuit.

### 3. Treball al laboratori – *In-lab*

En aquesta pràctica es continua usant el programa de disseny i implementació de sistemes digitals Quartus II.

3.1. Cal dissenyar el sistema Sisalarm de la manera següent. En primer lloc s'ha de crear un projecte seguint el mètode de les sessions anteriors. Aquest projecte s'ha de dir Sisalarm. Cal recordar la pràctica d'usar una carpeta i subdirectoris per a cada projecte en un directori adequat, com ara `C:\tmp\P7TdOXXX`, en què XXX és qualsevol distintiu del grup. També cal assignar el dispositiu adequat.

A continuació s'ha de fer el circuit de la funció  $A[0]$  del problema proposat en el punt B.1 de l'activitat prèvia al laboratori, en un projecte de Quartus II. Això es fa mitjançant la introducció d'un circuit esquemàtic que s'ha d'anomenar A0. S'ha d'utilitzar un circuit MSI; en particular, un descodificador  $3 \times 8$  real com el 74137 o el 74138 (les eixides són actives a nivell baix o invertides en els dos descodificadors). A partir de l'esquema s'ha de generar un símbol per a poder-lo usar després.

Els descodificadors es poden trobar com a símbols al directori `others/maxplus`, o bé escrivint-ne el nom directament dins de la casella del nom (*Name*) a la finestra del símbol (*Symbol*). S'han de tenir en compte les característiques de funcionament consultant la fitxa de dades corresponent que figura en el material addicional o a Internet.

3.2. Cal crear un circuit combinacional que implemente la funció  $A[1]$  del problema proposat al punt B.2 de l'activitat prèvia al laboratori en un projecte de Quartus II mitjançant un fitxer VHDL (descripció de flux de dades) que s'ha d'anomenar **A1**. S'ha de compilar, convertir-lo en un símbol i comprovar que no hi ha errors.

3.3. Cal implementar el circuit complet associat al problema mitjançant la introducció d'un esquema que s'ha d'anomenar Sisalarm i que ha de contenir els mòduls A1 i A0 dissenyats abans. Així mateix, s'ha d'usar un descodificador BCD a set segments com a mòdul VHDL per a visualitzar a la pantalla de set segments HEX0 el valor de l'entrada  $E[2..0]$ . Es pot usar el codi del descodificador de la sessió de laboratori anterior.

Com que el descodificador de set segments té quatre entrades però l'entrada  $E[2..0]$  només en té tres, s'ha de crear una línia addicional  $E[3]$  que estiga connectada a GND i, per tant, sempre valdrà 0.

El disseny s'ha de compilar i assignar els pins. A més a més, en la pantalla de set segments HEX0 s'han d'assignar els pins d'entrada del circuit  $E[2..0]$  als interruptors SW2, SW1 i SW0, respectivament, i els pins d'eixida  $A[1..0]$  als



LED: LEDR1 i LEDR0. La Il·lustració 2 mostra l'assignació de pins en aquest disseny.

| Node Name | Direction | Location |
|-----------|-----------|----------|
| A0        | Output    | PIN_AE23 |
| A1        | Output    | PIN_AF23 |
| E[2]      | Input     | PIN_P25  |
| E[1]      | Input     | PIN_N26  |
| E[0]      | Input     | PIN_N25  |
| Z[6]      | Output    | PIN_V13  |
| Z[5]      | Output    | PIN_V14  |
| Z[4]      | Output    | PIN_AE11 |
| Z[3]      | Output    | PIN_AD11 |
| Z[2]      | Output    | PIN_AC12 |
| Z[1]      | Output    | PIN_AB12 |
| Z[0]      | Output    | PIN_AF10 |

*Il·lustració 2. Assignació de pins en el disseny de Sisalarm.*

El disseny s'ha de compilar de nou, programar l'FPGA de la targeta DE2, comprovar que tot funciona i mostrar-ho al professorat del laboratori.

Cal recordar que en finalitzar la sessió de laboratori s'ha de deixar a lloc tot el material i els equips apagats.



# Laboratori 8

## Biestables, registres i comptadors

14/09/2023

### 1. Introducció

En aquesta sessió de laboratori es continuen desenvolupant les competències necessàries per al disseny, la implementació i la programació de sistemes digitals. En la introducció del circuit s'empra, a més de la captura d'esquemes, el llenguatge de descripció VHDL. Aquesta sessió se centra en el disseny de circuits basats en biestables (D, T). En particular, es treballen els registres de dades i de desplaçament, més els circuits comptadors asíncrons, que són els més senzills de dissenyar.

### Objectius

En finalitzar aquesta pràctica, l'estudiant ha de ser capaç de:

- Implementar i verificar el funcionament de circuits seqüencials senzills amb Quartus II.
- Dissenyar registres de dades i de desplaçament de  $n$  bits.
- Dissenyar un comptador asíncron de  $n$  bits.
- Programar un circuit seqüencial senzill en un dispositiu digital reconfigurable (PLD) amb Quartus II.

### Material necessari

Per a fer la pràctica es disposa d'un ordinador personal i del material d'Altera Corporation® següent: el programari Quartus II i la targeta de desenvolupament DE2 basada en l'FPGA (*Field Programmable Gate Array*) Cyclone II. Es pot baixar una versió per a docència del programari Quartus II des de la seua pàgina web:

<https://www.intel.la/content/www/xl/es/products/details/fpga/development-tools/quartus-prime/resource.html>

### Avaluació del laboratori

**Pre-lab.** Per al treball previ s'ha de completar la tasca corresponent a l'Aula Virtual abans de la fi del termini.

**In-lab.** A mesura que es vagi completant cada activitat proposada, l'estudiant ha de sol·licitar la presència del professorat perquè comprove quines tasques s'han fet. A continuació, el professorat assigna la puntuació corresponent a l'activitat que s'haja completat segons el grau d'exactitud i les respostes que el grup done a les preguntes del professorat.

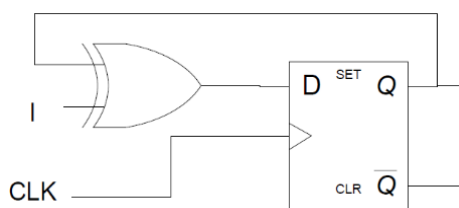


## 2. Treball previ al laboratori – *Pre-lab*

Per a poder aprofitar al màxim la sessió de laboratori és molt important que es completin les activitats que es proposen a continuació. En aquest treball previ, els membres de l'equip de treball poden distribuir-se les activitats proposades A i B perquè es tracta de tasques independents i sense relació. És recomanable que es faci una reunió posterior de coordinació en què cadascú explique al company/a què ha fet. Recordem que els dos membres de l'equip han de conèixer totes les tasques prèvies.

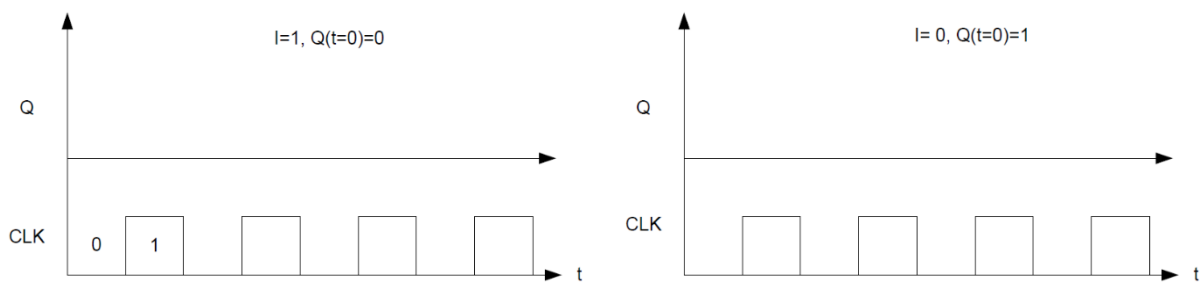
### A. Circuits seqüencials amb biestables D

A.1. S'ha d'analitzar el circuit que es mostra a la Il·lustració 1, basat en el biestable o *flip-flop* de tipus D:



Il·lustració 1. Circuit per analitzar amb un biestable D.

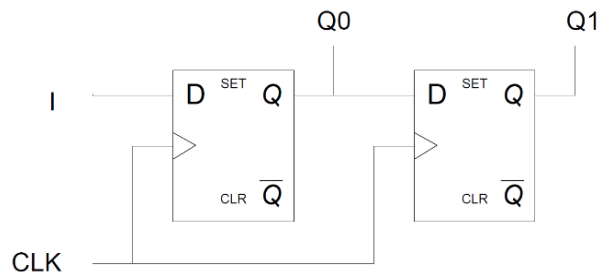
- Partint de l'expressió de funcionament del biestable D ( $Q(t+1) = D$ ), s'ha d'obtenir la funció algebraica de  $Q(t+1)$  d'aquest circuit en funció de l'entrada  $I$  i l'estat anterior  $Q(t)$ .
- S'ha d'analitzar el comportament d'aquest circuit per als diversos valors de l'entrada  $I$  completant els cronogrames que es mostren a la Il·lustració 2:



Il·lustració 2. Cronogrames per a veure el comportament del circuit amb el biestable D.

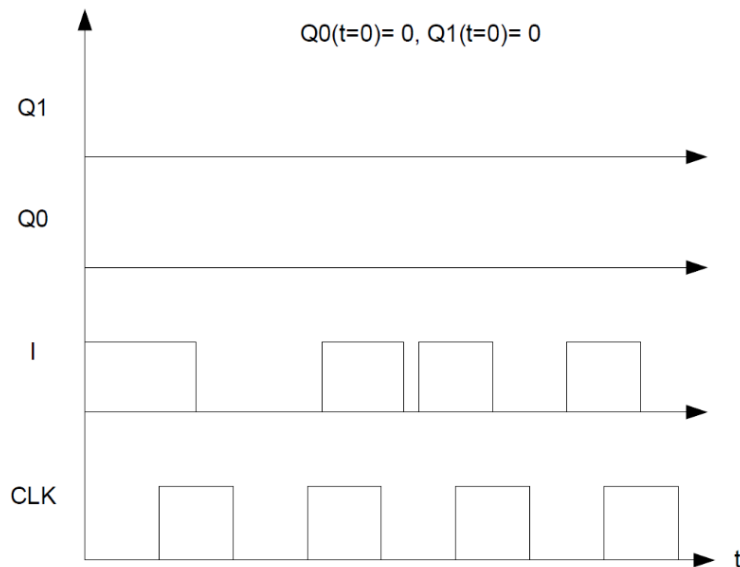
- Es proposa dissenyar un circuit equivalent a aquest circuit per a  $I=1$  utilitzant un biestable D i un inversor.

A.2. Donat el circuit de la Il·lustració 3, basat en biestables o *flip-flops* de tipus D:



Il·lustració 3. Circuit amb biestables D.

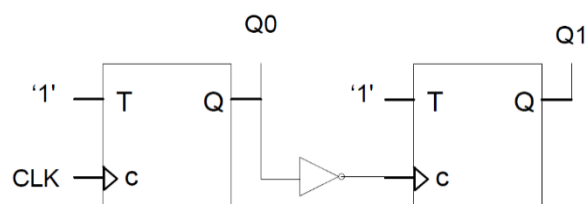
- Partint de l'expressió de funcionament del biestable D ( $Q(t+1) = D$ ), s'han d'obtenir les funcions algebraiques de  $Q0(t+1)$  i  $Q1(t+1)$  d'aquest circuit en funció de l'entrada  $I$  i dels estats  $Q0(t)$  i  $Q1(t)$ .
- S'ha d'analitzar el comportament d'aquest circuit completant els cronogrames que es mostren a la Il·lustració 4:



Il·lustració 4. Cronogrames per a simular el circuit amb biestables D.

## B. Circuits seqüencials amb biestables T

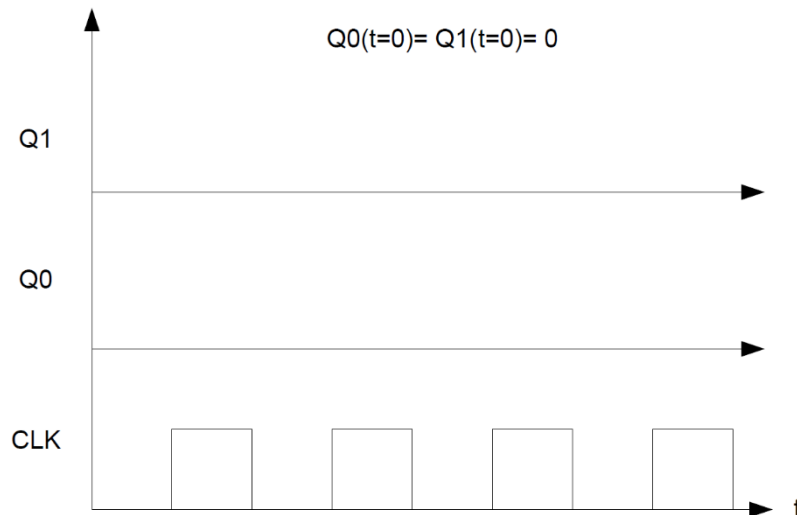
B.1. A partir del circuit que es mostra a la Il·lustració 5, basat en biestables o *flip-flops* de tipus T:



Il·lustració 5. Circuit amb biestables T.



- a) Partint de l'expressió de funcionament del biestable  $T(Q(t+1) = T \cdot Q'(t) + T' \cdot Q(t))$  i amb la certesa que es tracta d'un circuit asíncron, s'han d'obtenir les funcions algebraiques  $Q0(t+1)$  i  $Q1(t+1)$  d'aquest circuit en funció dels estats  $Q0(t)$  i  $Q1(t)$ .
- b) S'ha d'analitzar el comportament d'aquest circuit per al cas en què tant  $Q0(t=0)$  com  $Q1(t=0)$  siguin 0. Per a fer-ho s'ha de completar el cronograma que es mostra a la Il·lustració 6:



Il·lustració 6. Cronograma per a simular el circuit amb biestables T.

- c) Es proposa dissenyar un circuit equivalent a aquest en què els biestables T se substitueixen per biestables D.

### 3. Treball al laboratori – In-lab

En aquesta pràctica s'han de dissenyar i implementar sistemes digitals basats en biestables amb Quartus II.

La targeta DE2 disposa de dos rellotges les freqüències dels quals són 27 MHz i 50 MHz. Amb aquestes freqüències tan altes no és possible per a un observador humà percebre l'evolució d'un comptador o un registre de desplaçament. És, per tant, necessari reduir la freqüència del rellotge per a poder observar l'evolució del sistema. Això es pot fer construint un divisor de freqüència que dividisca la freqüència del rellotge fins a deixar-la en 1 Hz (una oscil·lació per segon). Aquest circuit s'utilitzarà en els dos projectes que es proposaran.

Usant el programa Quartus II i seguint els conceptes treballats en l'activitat prèvia al laboratori:

- 3.1. S'ha de crear un projecte per a implementar un registre de desplaçament de quatre bits a partir de l'exemple vist al punt A.2 de l'activitat prèvia al laboratori, mitjançant la introducció de circuits esquemàtics. El projecte s'anomenarà **Regdes** i cal fixar-se a assignar l'FPGA correcta de la targeta DE2.



En primer lloc, cal construir el mòdul divisor de freqüència. Aquest mòdul té com a entrada el senyal de 27 MHz i com a eixida un senyal d'1 Hz, que és el que es connectarà als biestables del registre de desplaçament.

La descripció VHDL següent correspon a un divisor de freqüència com el proposat. Cal obrir un fitxer nou VHDL. S'ha de desar amb el mateix nom que l'entitat, més l'extensió vhd. En aquest cas, el fitxer s'anomenarà divclk.vhd. Una vegada desat el fitxer, s'ha de generar el símbol corresponent per defecte.

```
library ieee;
use ieee.std_logic_1164.all;

entity divclk is
Port (clk_ext: in std_logic;
      clk: out std_logic);
end divclk;

architecture descrip of divclk is
signal clk_aux: std_logic;
signal comptador: integer range 0 to 13499999;
begin
    process (clk_ext)
    begin
        if (clk_ext='1' and clk_ext'event) then
            if (comptador=13499999) then
                comptador<=0;
                clk_aux<=not clk_aux;
            else
                comptador<=comptador+1;
            end if;
        end if;
    end process;
    clk<=clk_aux;
end descrip;
```

Un vegada creat el símbol, cal afegir-hi els altres elements: biestables D i pins d'entrada i d'eixida necessaris. Com que es vol mostrar el valor de l'entrada  $I$ , a més d'usar un pin d'entrada per a connectar-lo a un interruptor, cal usar un pin d'eixida per a veure el valor de  $I$  amb un LED verd.

Cal fer notar que els biestables, que apareixen a la llibreria amb el nom DFF, disposen de senyals de control asíncrons actius a nivell baix (PRN i CLRN) que s'han de desactivar, de manera que s'han de connectar a VCC.

Una vegada completat el circuit esquemàtic, s'ha de desar amb el nom del projecte i l'extensió bdf: **regdes.bdf**. A continuació cal compilar-lo i corregir possibles errors.

Després, mitjançant el planificador de pins en l'opció Assignments>Pin Planner, cal assignar el pin d'entrada del registre de desplaçament  $I$  a l'interruptor SW0 i al LED verd LEDG0 (per a visualitzar el valor de  $I$ ), els pins



d'eixida  $Q[3..0]$  als LED rojos: LEDR3, LEDR2, LEDR1 i LEDR0, i el senyal de rellotge CLK\_EXT (entrada del mòdul divisor) al senyal CLOCK\_27 (PIN\_D13 a la targeta DE2). Per a saber a quin pin de l'FPGA està connectat cada interruptor o LED, cal consultar el document adjunt a l'Aula Virtual amb l'assignació de pins de la targeta DE2: DE2\_Pin\_Table.pdf.

El disseny s'ha de compilar, programar l'FPGA de la targeta DE2 i verificar-ne el funcionament canviant els valors del SW0 i observant el desplaçament de l'entrada pels LED. A continuació se n'ha de mostrar el funcionament al professorat del laboratori.

- 3.2. S'ha d'implementar, usant biestables T, un comptador asíncron de quatre bits a partir de l'exemple vist al punt B.1 de l'activitat prèvia al laboratori, en un projecte de Quartus II mitjançant la introducció de circuits esquemàtics. De nou s'emprarà el mòdul divclk de manera que el nou projecte, que s'anomenarà **Contasin**, pot estar situat al mateix directori de treball que l'anterior i, així, poder usar el mòdul ja creat. Si s'opta per un directori nou, s'ha de tornar a crear el mòdul.

S'ha de crear un esquema on cal afegir el mòdul divisor de freqüència divclk, biestables T (són a la llibreria amb el nom TFF) i els ports d'entrada/eixida necessaris. De nou caldrà deshabilitar les entrades de control asíncrones dels biestables amb VCC.

En aquest cas, l'eixida del compte no s'ha de mostrar amb LED rojos. Es proposa visualitzar l'estat del compte amb una pantalla de set segments. Com que el compte binari excedeix un compte BCD, es proposa fer una modificació del mòdul de descodificació a 7 segments per a mostrar el compte binari en format hexadecimal. Per tant, a la pantalla de set segments es podrà veure: 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, b, C, d, E, F. Així, s'ha de modificar el descodificador a set segments emprat a les sessions anteriors afegint sis línies noves a la sentència with-select, les corresponents als codis binaris no BCD:

```
...
"0001000"  WHEN "1010",
"0000011"  WHEN "1011",
"1000110"  WHEN "1100",
"0100001"  WHEN "1101",
"0000110"  WHEN "1110",
"0001110"  WHEN "1111",
...
```

Els punts suspensius indiquen que hi ha codi abans i després del fragment i no s'han de copiar. Una vegada fets els canvis, cal desar el fitxer i crear el símbol per defecte.

S'ha de compilar i comprovar que no hi ha errors. S'han d'assignar els pins d'eixida de la pantalla de set segments a la pantalla HEX0, i el senyal de rellotge CLK del primer biestable al rellotge extern CLOCK\_27.



Finalment, el disseny s'ha de compilar de nou, programar l'FPGA de la targeta DE2 i verificar-ne el funcionament. S'ha de mostrar el funcionament correcte del sistema al professorat del laboratori.

Recordeu que en acabar la sessió de laboratori, tot el material s'ha de deixar a lloc i els equips apagats.